

Original document**MANUFACTURE FOR SEMICONDUCTOR DEVICE**

Patent number: JP11238703

Publication date: 1999-08-31

Inventor: UENO KAZUYOSHI

Applicant: NIPPON ELECTRIC CO

Classification:


- international: H01L21/288; C25D3/38; C25D7/12; H01L21/3205

- european:

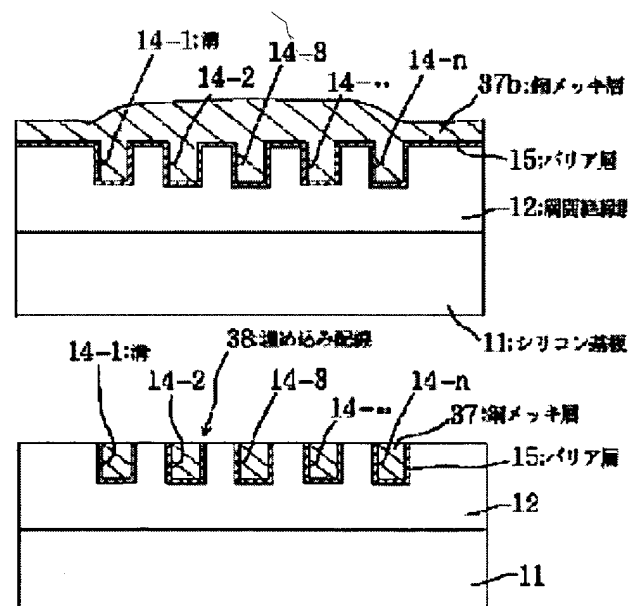
Application number: JP19980038311 19980220

Priority number(s): JP19980038311 19980220

Also published as:

 US6245676 (B)[View INPADOC patent family](#)[Report a data error here](#)**Abstract of JP11238703**

PROBLEM TO BE SOLVED: To improve degree of freedom in a wiring design by preventing the occurrence of erosion of erosion when an embedded wiring is formed. **SOLUTION:** An interlayer insulating film 12 is formed on a silicon substrate 11 and then trenches 14-1 to 14-n are made on the interlayer insulating film 12. Then, a barrier layer 15 is deposited throughout the region on the side surfaces of the trenches 14-1 to 14-n, and a copper seed layer 16 is formed over the entire surface of the barrier layer 15. Then, jet plating is performed by using the copper seed layer 16 as electrode to embed the inside of the trenches 14-1 to 14-n as well as to deposit on the interlayer insulating film 12 a copper-plated layer 37b raised in the region of the trenches 14-1 to 14-n and the peripheral region thereof. Then, the surface of the copper-plated layer 37b is polished by a chemical mechanical method, until the interlayer insulating film 12 is exposed to form a buried wiring 38.

Data supplied from the *esp@cenet* database - Worldwide

Description of corresponding document: **US6245676**

BACKGROUND OF THE INVENTION

1. Field of the Invention

The present invention relates to a method of manufacturing a semiconductor device, and more specifically to a method of manufacturing a semiconductor device in which flatness of the surface of an insulating film in a buried wiring formation area is ensured.

2. Description of the Related Art

In recent years, as semiconductor integrated circuits are made finer and are highly integrated, multilayer of wirings has been promoted. Under such circumstances, when a lower layer wiring is formed on a substrate interlayer insulating film formed on a semiconductor substrate and when an interlayer insulating film is deposited while covering the lower layer wiring, the surface of the interlayer insulating film formed on the lower layer wiring while covering the same is prevented from being flattened owing to a step between the ground interlayer insulating film and the lower layer wiring. Such unevenness of the interlayer insulating film formed on the lower layer wiring while covering the same prevents an upper layer wiring from being formed with high yield when the upper layer wiring is further formed on the interlayer insulating film. Accordingly, ensurance of flatness of the surface of the interlayer insulating film is important. For this, a buried wiring is formed in the interlayer insulating film to flatten the surface of the interlayer insulating film.

In the following, there will be described a method of forming a buried wiring with reference to FIGS. 9 and 10.

Firstly, as illustrated in FIG. 9(a), an interlayer insulating film 12 comprising a silicon oxide film is formed on a silicon substrate 11, over the entire area on which film a photoresist 13 is in turn applied to form a resist pattern corresponding to a configuration of wirings to be formed using a photolithography process which pattern is used as a mask to form in the interlayer insulating film 12 trenches 14-1, 14-2, 14-3, . . . 14-n with about 0.5 μm depth, 0.3 to 10 μm width, and about 0.5 μm interval.

Thereafter, as illustrated in FIG. 9(b), the photoresist 13 is removed, and a tantalum (Ta) barrier layer 15 is deposited on side surfaces and on a bottom surface in the trenches 14-1 to 14-n and over the entire area of the interlayer insulating film 12, and further a copper seed layer 16 is formed over the entire area on the barrier layer 15. The deposition of the barrier layer 15 and the formation of the copper seed layer 16 are achieved respectively with a CVD method, a sputtering method, and the like, all well known. The barrier layer 15 is provided to prevent copper from diffusing into the silicon oxide film to produce a leakage current between the wirings or along a junction part in the silicon substrate.

As illustrated in FIG. 1(c), with a fountain plating method where the copper seed layer 16 is used as an electrode a copper plating layer 17 is deposited, which buries the trenches 14-1 to 14-n and has a substantially flat surface over a wide area on the interlayer insulating film 12.

As illustrated in FIG. 10, with chemical and mechanical polishing (CMP) the entire surface of the silicon substrate 11 on which the copper plated layer 17 is formed is polished until the interlayer insulating film 12 is exposed, to leave the copper plated layer 17 only in the trenches 14-1 to 14-n and hence form a buried wiring.

wiring 18.

Referring now to FIG. 11, there will be described the fountain plating method in the process illustrated in FIG. 9(c). FIG. 11 is a schematical view exemplarily illustrating a fountain plating apparatus.

The fountain plating apparatus 21 includes as illustrated in the same figure a substantially cylindrical plating tank 23 for temporarily storing a plating solution 22 in which copper ion (Cu^{2+}) is dissolved, cylindrical fountain cup 24 contained in the plating tank 23, a disk-shaped fixing plate 25 comprising an insulating material horizontally disposed slightly above the fountain cup 24, a plating solution fountain pipe 26 opened from a bottom surface of the fountain cup 24 upward at the center of the same, and a discharge pipe 27 for the plating solution 22 opened into the tank from a bottom surface of the plating tank 23. A pump and a plating solution tank are provided (not shown) outside the plating tank 23 and the plating solution 22 is introduced with use of the pump into the fountain cup 24 from the plating solution tank. The silicon substrate 11 is fixed to a lower surface 25a of a fixing plate 25 on which the copper plated layer 17 is to be deposited.

For forming the copper plated layer 17 on the silicon substrate 11 using the fountain plating apparatus 21, the silicon substrate 11 is first fixed to the lower surface 25a of the fixing plate 25, and then the fixing plate 25 to which the silicon substrate 11 is fixed is disposed horizontally at a predetermined position slightly above the plating solution 22, actuating the pump (not shown) to fountain the plating solution 22 from the fountain pipe 26. In this state, there is applied predetermined voltage where a fountain cup 24 is set to be positive (+) and a silicon substrate 11 (copper seed layer 16) side is set to be negative (-) to conduct a current, and then a liquid level of the plating solution 22 is raised to fountain the plating solution 22 onto the surface of the silicon substrate 11 as indicated by an arrow whereby the copper plated layer is deposited on the copper seed layer 16.

The plating solution 22 which has completed the deposition of the copper plated layer 17 overflows from an upper part of the fountain cup 24 to the side of the same. After the elapse of a predetermined time, the fountaining of the plating solution 22 is interrupted to lower the liquid level, and the fixing plate 25 is removed from the plating tank 23 and the silicon substrate 11 is removed from the silicon substrate 11. In such a manner, there is ensured the silicon substrate 11 where the copper plating tank 17 is deposited at predetermined position. Although the aforementioned fountain plating apparatus 21 is an example where the fountain cup 24 is used as the positive electrode, another apparatus may be used in which a mesh electrode is provided in the fountain cup 24 to which positive voltage is applied, and in which the fountain cup 24 itself is not used as an electrode.

Although in the above description the fountain cup 24 side is set positive with the silicon substrate 11 set negative, and predetermined voltage is applied thereacross to conduct a current, as described in Japanese Patent Laid-Open Application No. Sho57-71150, 1st to 7th lines on a left lower column, p.230 plating speed at high current density is high in the fountain plating method so that no flat copper plated layer 17 is obtained when a fixed pattern current is conducted at all times.

To solve the problem there is known a plating solution (hereinafter, referred to a retarding agent) which adsorbed at high current density portions on an exposed surface of the metal seed layer 16 or the copper plated layer 17 and into which there is added an additive that prevents copper from adhering to such portions (CubathM: trade name of ENTHONE OMI company, for example).

When a plating solution 22 containing such a retarding agent is used, the plating speed is slowed down automatically at high current density portions, so that a current having a unidirectional polarity at all times ensures a plated layer having a substantially flat surface. Accordingly, as illustrated in FIGS. 12(a) and (b)

a negative DC current or negative DC pulsed current both having a unidirectional polarity is conducted to achieve fountain plating and hence ensure a copper plated layer 17 having a substantially flat surface.

There may also be a situation where a plating solution is used to which the foregoing retarding agent is added (Microfab: trade name of EEJA company, for example). Since a plating speed at high current density portions is high, conduction of a current always having a unidirectional polarity brings about a problem that film thickness is nonuniform, and further as illustrated in FIG. 14 deposits adhere to portions at opposite sides in the vicinity of an opening where current density is high before the trenches 14-i are buried to produce voids 20 in the buried layer in the trench and hence shorten the life of electromigration.

To solve the problem, a DC pulsed current having a forwardly and backwardly alternating polarity as illustrated in FIG. 13 is conducted to achieve fountain plating and hence obtain a substantially flat surface copper plated layer 17.

Such prior art as described above however suffers from a problem that when after the substantially flat surface copper plated layer 17 is obtained, polishing is applied to the surface and copper is left behind only in the trenches 14-1 to 14-n to form the buried wiring 18, erosion happens (a phenomenon where copper on a surface of a high wiring pattern density area is more polished and is indented) as illustrated in FIG. 10 and further when the copper plated layer 17 is buried in a wider trench 14-j to form the buried wiring 19 a wider wiring pattern as illustrated in FIG. 15, dishing happens (a phenomenon where copper on a surface of a wider wiring pattern is more polished and indented) to limit the width of the wiring pattern and reduce the flexibility of a wiring design.

More specifically, in polishing with the CMP process, for leaving copper only in the trenches 14-1 to 14-n to form the buried wiring 18 while preventing the interlayer insulating film 12 from being reduced (with about 500 Angstrom), it is necessary to increase the polishing speed of the copper plated layer 17 than in the interlayer insulating film 12. For this, an acidic additive is added to an abrasive to oxidize copper into copper oxide whereby the copper is more rapidly polished than in the silicon oxide film.

Thus, when the interlayer insulating film 12 is exposed, the same is more removed at portions having a higher copper area ratio to result in the aforementioned erosion and dishing.

SUMMARY OF THE INVENTION

The present invention has been made to solve the aforementioned problems of the prior art, and has an object to provide a method of manufacturing a semiconductor device capable of preventing erosion and dishing from happening upon forming a buried wiring by providing a trench along a wiring scheduled portion of an insulating film and burying the trench with a metal wiring material and depositing the metal wiring material on the insulating film, and applying a flattening processing to the surface of the resulting sample, and capable of increasing the flexibility of a wiring design.

To achieve the aforementioned object, a method of manufacturing a semiconductor device, according to a first aspect of the present invention, is featured by comprising the steps of: providing a trench in a wiring scheduled portion of an insulating film formed on a substrate; forming a metal seed layer on the insulating film including the trench; forming a deposit layer of a metal wiring material on the metal seed layer to bury the trench with use of an electrical plating method where the metal seed layer is taken as one electrode; then polishing and removing the deposit layer of the metal wiring material until the insulating film is again exposed to form a buried wiring in the trench, the improvement being wherein the method further comprises the steps of: protruding the deposit layer of the metal wiring material on the trench and on a periphery of the trench into a protruded configuration by controlling a current in the electrical plating method upon forming the buried wiring, and then polishing and removing the deposit layer until the

insulating film is exposed.

Also, a method of manufacturing a semiconductor device, according to a second aspect of the present invention, is featured by that in the electrical plating according to the first aspect of the present invention bidirectional current alternately temporarily changing in its flow direction is conducted until at least the trench is buried, and then a unidirectional current not changing in its flow direction is conducted to protrude the deposit layer of the metal wiring material into a protruded configuration on the trench and a peripheral area of the same, and then polish and remove the deposit layer until the insulating film is exposed.

Also, a method of manufacturing a semiconductor device, according to a third aspect of the present invention, is featured by that in the method of manufacturing a semiconductor device according to the first aspect of the present invention the plating solution used for the electrical plating method includes a retarding agent that prevents or retards the metal wiring material from adhering to a high current density portion on the exposed surface of the metal seed layer or the deposit layer.

Also, a method of manufacturing a semiconductor device, according to a fourth aspect of the present invention, is featured by that in the method of manufacturing a semiconductor device according to the first aspect of the present invention the unidirectional current not changing in its flow direction is conducted until the trench is at least buried, and then the bidirectional current alternately temporarily changing in its flow direction is conducted to protrude the deposit layer of the metal wiring material on the trench and a peripheral area of the same into a protruded configuration and then polish and remove the deposit layer until the insulating film is exposed.

A method of manufacturing a semiconductor device, according to a fifth aspect of the present invention is featured by comprising the steps of: providing a trench along a wiring scheduled portion of an insulating film formed on a substrate; forming a metal seed layer on the insulating film including the trench; forming a deposit layer of a metal wiring material on the metal seed layer to bury the trench with the aid of an electrical plating method where a unidirectional current not temporarily changing in its flow direction is conducted using the metal seed layer as one electrode, and then polishing and removing the deposit layer of the metal wiring material until the insulating film is again exposed to form a buried wiring in the trench, the improvement being wherein the method further comprises the steps of: first achieving previous process electrical plating until the trench is at least buried using a first plating solution containing a retarding agent to prevent or retard the metal wiring material from adhering to a high current density portion on the exposed surface of the metal seed layer or the deposit layer upon forming the buried wiring, and then achieving later process electrical plating using a second plating solution not containing the retarding agent to protrude the deposit layer of the metal wiring material on the trench and on a peripheral area of the same into a protruded configuration, and thereafter polishing and removing the deposit layer until insulating layer is exposed.

A method of manufacturing a semiconductor device, according to a sixth aspect of the present invention is featured by comprising the steps of: providing a trench along a wiring scheduled portion of an insulating film formed on a substrate; forming a metal seed layer on the insulating film including the trench; forming a deposit layer of a metal wiring material on the metal seed layer with the aid of an electrical plating method where a bidirectional current alternately temporally changing in its flow direction is conducted using the metal seed layer as one electrode to bury the trench; and thereafter polishing and removing the deposit layer of the metal wiring material until the insulating film is again exposed to form a buried wiring in the trench, the improvement being wherein the method further comprises the steps of: upon forming the buried wiring, protruding the deposit layer of the metal wiring material on the trench and on a peripheral area of the same into a protruded configuration by first achieving previous process electrical plating until the trench is at least buried using a second plating solution not containing a retarding agent for preventing

the metal wiring material from adhering to a high current density portion on the exposed surface of the metal seed layer or the deposit layer upon forming the buried wiring, and then achieving later process electrical plating using a first plating solution containing the retarding agent; and polishing and removing the deposit layer until the insulating film is exposed.

A method of manufacturing a semiconductor device, according to a seventh aspect of the present invention, is featured by comprising the steps of: providing a trench along a wiring scheduled portion of insulating film formed on a substrate; forming a metal seed layer on the insulating film including the trench; forming the deposit layer of the metal wiring material on the metal seed layer with the aid of an electrical plating method where the metal seed layer is used as one electrode; and then polishing and removing the deposit layer of the metal wiring material until the insulating film is again exposed to form buried wiring in the trench, the improvement being wherein the method further comprises the steps of: forming a deposition prevention layer on an area excepting at least the trench in the area on the insulating film upon forming the buried wiring; then protruding the deposit layer of the metal wiring material on the trench and on a peripheral area of the same into a protruded configuration with the aid of the electrical plating; and thereafter polishing and removing the deposit layer until the insulating film is exposed and thereafter polishing and removing the deposit layer until the insulating film is exposed.

A method of manufacturing a semiconductor device, according to an eighth aspect of the present invention is featured by comprising the steps of: providing a trench along a wiring scheduled portion of an insulating film formed on a substrate; forming a metal seed layer on the insulating film including the trench; forming a deposit layer of a metal wiring material on the metal seed layer to bury the trench with the aid of an electrical plating method where the metal seed layer is used as one electrode; and thereafter polishing and removing the deposit layer of the metal wiring material until the insulating film is again exposed, the improvement being wherein the method further comprises the steps of: upon forming the buried wiring, protruding the deposit layer of the metal wiring material on the trench and on a peripheral area of the same into a protruded configuration by first forming a deposit layer of the metal wiring material on the insulating film with the aid of the electrical plating method upon forming the buried wiring, and then forming a mask layer at least on an area on the trench in an area on the deposit layer for preventing the deposit layer of the metal wiring material from being etched, and then applying the etching processing; and then polishing and removing the deposit layer until the insulating film is exposed.

A method of manufacturing a semiconductor device, according to the ninth aspect of the present invention is featured by comprising the steps of: providing a trench along a wiring scheduled portion of an insulating film formed on a substrate; forming a metal seed layer on the insulating film including the trench; forming a deposit layer of a metal wiring material on the metal seed layer to bury the trench using an electrical plating method where the metal seed layer is used as one electrode; and thereafter polishing and removing the deposit layer of the metal wiring material until the insulating film is again exposed to form a buried wiring in the trench, the improvement being wherein the method further comprises the steps of: upon forming the buried wiring, first forming the deposit layer of the metal wiring material on the insulating film to be thin with the aid of the electrical plating method or forming the deposit layer of the metal wiring material on the insulating film with the aid of the electrical plating method and then etching back the deposit layer into a thin deposit layer; then protruding the deposit layer of the metal wiring material on the trench and on a peripheral area of the same into a protruded configuration with the aid of electrical plating where a bidirectional current alternately temporarily changing in its flow direction is conducted using a first plating solution containing a retarding agent for preventing the metal wiring material from adhering to a high current density portion on an exposed surface of the metal seed layer or the deposit layer; and then polishing and removing the deposit layer until the insulating film is exposed.

A method of manufacturing a semiconductor device, according to a tenth aspect of the present invention is featured by comprising the steps of: providing a trench along a wiring scheduled portion of an insulating

film formed on a substrate; forming a metal seed layer on the insulating film including the trench; forming a deposit layer of a metal wiring material on the metal seed layer to bury the trench with the aid of an electrical plating method where the metal seed layer is used as one electrode; and thereafter polishing and removing the deposit layer of the metal wiring material until the insulating film is again exposed to form buried wiring in the trench, the improvement being wherein the method further comprises the steps of: upon forming the buried wiring, forming the deposit layer of the metal wiring material on the insulating film to be thin with the aid of the electrical plating method upon forming the buried wiring or forming the deposit layer of the metal wiring material on the insulating film with the aid of the electrical plating method and then etching back the deposit layer into a thin deposit layer; then protruding the deposit layer of the metal wiring material on the trench and on a peripheral area of the same into a protruded configuration with the aid of electrical plating where a unidirectional current not temporally changing in flow direction is conducted using a second plating solution not containing a retarding agent for preventing the metal wiring material from adhering to a high current density portion on an exposed surface of the metal seed layer or the deposit layer; and thereafter polishing and removing the deposit layer until the insulating film is exposed.

In addition, a method of manufacturing a semiconductor device, according to an eleventh aspect of the present invention, is featured by that the electrical plating method according to the method of manufacturing a semiconductor device of any one of the first to the tenth aspects of the present invention is a fountain plating method where the plating solution is fountained to the metal seed layer formed on the substrate in a fountain state.

BRIEF DESCRIPTION OF THE DRAWINGS

The above and other objects, advantages and features of the present invention will be more apparent from the following description taken in conjunction with the accompanying drawings in which:

FIGS. 1(a) to 1(c) are cross sections of successive processes illustrating a first embodiment of a method of manufacturing a semiconductor device;

FIGS. 2(a), 2(b) are cross sections illustrating successive processes of a method of manufacturing a semiconductor device;

FIG. 3 is a view of a waveform of a current upon fountain plating illustrating the operation of the first embodiment of FIG. 1;

FIG. 4 is a view of a waveform of a current upon fountain plating illustrating the operation of a second embodiment of the present invention;

FIG. 5 is a view of a waveform of a current upon fountain plating illustrating the operation of a third embodiment of the present invention;

FIG. 6 is a view of a waveform of a current upon fountain plating illustrating the operation of a fourth embodiment of the present invention;

FIGS. 7(a), 7(b) are cross sections of successive processes illustrating a method of depositing a copper plated layer in a seventh embodiment of a method of manufacturing a semiconductor device of the present invention;

FIGS. 8(a), 8(b) are cross sections of successive processes illustrating a method of depositing a copper plated layer in an eighth embodiment of a method of manufacturing a semiconductor device of the present invention;

invention;

FIGS. 9(a) to 9(c) are cross sections of successive processes illustrating a prior method of manufacturing a semiconductor device;

FIG. 10 is a cross section of a process illustrating the method of manufacturing a semiconductor device FIG. 9;

FIG. 11 is a view exemplarily illustrating the construction of an example of a fountain plating apparatus

FIGS. 12(a), (b) are views of temporal waveforms of a current upon fountain plating for illustrating the operation of the prior method of manufacturing a semiconductor device;

FIG. 13 is a view of a temporal waveform of a current upon fountain plating for illustrating the operation of the prior method of manufacturing a semiconductor device;

FIG. 14 is a view illustrating production of voids at high current density portions in deposition of a copper plated layer associated with the prior method of manufacturing a semiconductor device; and

FIG. 15 is a cross section illustrating happening of dishing in the prior method of manufacturing a semiconductor device.

DESCRIPTION OF THE PREFERRED EMBODIMENTS

In what follows, there will be described in more detail various preferred embodiments of the present invention with reference to the accompanying drawings FIGS. 1, 2 are views of cross sections of successive processes each illustrating a first embodiment of a method of manufacturing a semiconductor device of the present invention, and FIG. 3 is a view of a temporal waveform of a current upon fountain plating illustrating the operation of the first embodiment.

The method of manufacturing a semiconductor device of the present embodiment is sharply different from that of a prior art (refer to FIGS. 9, 10) in the following: upon depositing copper plated layers 37a, 37b a substantially flat copper plated layer is formed by conducting a unidirectional polarity DC current (unidirectional current not temporally changing in its flow direction) until trenches 14-1 to 14-n are buried with the copper plated layers. After the trenches 14-1 to 14-n are buried, a DC pulse current changing alternately: forwardly and backwardly in its polarity (bidirectional current alternately temporally changing in its flow direction) is conducted for fountain plating to deposit the copper plated layer 37a on the trenches 14-1 to 14-n and on a peripheral area of the same into a more protruded configuration than other areas as illustrated FIG. 2(a). Herein, like symbols will be applied to like constituent parts as in those of the aforementioned prior art, and the description will be omitted.

For achieving the present exemplary method of manufacturing a semiconductor device, as illustrated in FIG. 1(a), an interlayer insulating film 12 is first formed on a silicon substrate 11, over the entire area of which a photoresist 13 is in turn applied to form a resist pattern, and then trenches 14-1 to 14-n are formed along a wiring scheduled portion of the interlayer insulating film 12. Thereafter, as illustrated in FIG. 1(b), the photoresist 13 is removed, and a barrier layer 15 is deposited on side surfaces and a bottom surface of the trenches 14-1 to 14-n and over an entire area on the interlayer insulating film 12, and a copper seed layer 16 is formed over an entire area on the barrier area 15. The above description is substantially the same as that of the aforementioned prior method of manufacturing a semiconductor device.

Then, the silicon substrate 11 where the copper seed layer 16 has been finished is fixed to a lower surface

25a of a fixing plate 25 of a fountain plating apparatus 21 illustrated in FIG. 11, and the fixing plate 25 is disposed horizontally at a predetermined position slightly above a liquid level of a plating solution 22. A fountain cup 24 is used as one electrode with the silicon substrate 11 (copper seed layer 16) used as the other electrode, and predetermined voltage is applied between the foregoing electrodes to conduct a current whereby a pump (not shown) is activated to fountain the plating solution 22 from a fountain pipe 26 to the surface of the silicon substrate 11 and hence deposit the copper plated layer 37a on the copper seed layer 16.

After the elapse of predetermined time, fountaining the plating solution 22 is interrupted to lower a liquid level, and the fixing plate 25 is taken out from a plating tank 23 to demount the silicon substrate 11 from the fixing plate 25.

In the present embodiment, the deposition of the copper plated layer is achieved with the aid of a fountain plating method using a plating solution (first plating solution) containing a retarding agent which adsorbs an exposed surface of the metal seed layer 16 or the copper plated layer 17 along a high current density portion for preventing copper from adhering to that portion.

Since the retarding agent is contained, a plating speed along the high current density portion is automatically retarded. Thus, a substantially flat surface copper plated layer is formed by conducting a unidirectional polarity DC current.

More specifically, as illustrated in FIG. 3, in a previous process until the trenches 14-1 to 14-n are buried, unidirectional polarity negative DC current is conducted to achieve fountain plating. Hereby, as illustrated in FIG. 1(c), a substantially flat surface copper plated layer 37a with which the trenches 14-1 to 14-n are buried is deposited on the interlayer insulating film 12.

Although in the present embodiment the unidirectional polarity negative DC current is conducted in order to deposit the substantially flat copper plated layer, when there is a fear of voids being produced in the buried layer in the trench because the operation of the retarding agent is unsatisfactory, in order to eliminate the production of the voids the current is once interrupted and then a pulsed current flowing oppositely to that of the foregoing negative DC current is conducted whereby any corner of an opening at the trench (hole) is removed to prevent any pinch-off from being produced at the opening which might cause a trouble. Hereupon, a deposition rate of copper at the opening is higher than that at a bottom in the trench (hole), so that it is necessary to construct a deposition configuration of copper such that the configuration is not a reverse tapered cross section (narrower at the opening than at the bottom).

Thereafter, a plating current pattern is changed over and the fountain plating is continued. More specifically, as illustrated in FIG. 3, in a latter process after the trenches 14-1 to 14-n are buried a DC pulsed current alternately, i.e., forwardly backwardly changing in its polarity is conducted for the fountain plating.

Herein, a positive pulsed current is a back bias current to remove additive molecules that are adsorbed at a high current density portion, and hence the copper plated layer is more deposited at a high current density portion by conducting the positive pulsed current.

After the copper plated layer 37a is deposited in a configuration shown in FIG. 1(c), film thickness of the copper at the trenches 14-1 to 14-n is larger than that on the interlayer insulating film 12 to relatively low resistance and hence increase a current amount. Hereby, the amount of the deposition of the copper at the trenches 14-1 to 14-n is increased.

Hereby, as illustrated in FIG. 2(a), a copper plated layer 37b on the trenches 14-1 to 14-n and on a

peripheral area of the same more protruded than other areas is deposited. More specifically, upon flatten processing with a CMP process performed thereafter copper set higher in a polishing rate compared with the interlayer insulating film is formed thicker at a portion where an area ratio is high.

Then, as illustrated in FIG. 2(b), there is polished the surface of the silicon substrate 11 where the copper plated layer 37b is polished using the CMP method until the interlayer insulating film 12 is exposed, and the copper plated layer 37 is left behind only in the trenches 14-1 to 14-n and the buried wiring 38 is formed. Erosion has not happened. Although the present embodiment is with a high wiring density case, the same result shall be applied for a case where a buried wiring of a wider wiring pattern is formed, and thereupon dishing does not happen.

Therefore, according to the present exemplary construction, a trench is provided along a wiring schedule portion of the interlayer insulating film, and a copper plated layer is buried in the trench and is deposited on the interlayer insulating film, to a surface of which a flattening processing is applied to form a buried wiring. Thereupon, erosion and dishing are prevented from happening, and hence freedom of a wiring design is increased.

Periods t_1 , t_2 of the pulsed current having an alternately, forwardly and backwardly changing polarity shown in FIG. 3 are set within about 10 seconds.

This is because there is a fear that if the periods exceed about 10 seconds, the configuration of the copper plated layer is changed when the additive molecule is adsorbed and removed at a high current density portion. A peak value I_2 of the negative pulsed current is set 0.8 to 1.2 A/dm², and a negative DC current value I_1 and a positive pulsed current peak value I_3 are set about 1/2 of I_2 .

As a modified example of the present embodiment, the current pulse may be changed such that the plating is interrupted and the deposition configuration of copper does not become a reverse tapered cross section (narrower at the opening rather than at the lower part).

FIG. 4 is a view of a temporal waveform of a current upon fountain plating for illustrating the operation of a second preferred embodiment.

A method of manufacturing a semiconductor device of the present embodiment is sharply different from that of the first embodiment (refer to FIGS. 1, 2, 3.) in that there are different plating current patterns thereof flowed until the trenches 14-1 to 14-n are buried from each other.

More specifically, in the previous process until the trenches 14-1 to 14-n are buried, as illustrated in FIG. 4, fountain plating is achieved by conducting a unidirectional polarity negative DC pulsed current (unidirectional current not temporally changing in its flow direction). Hereby, as illustrated in FIG. 1(c) there is deposited the copper plated layer 37a on the interlayer insulating film 12 which layer buries the trenches 14-1 to 14-n and has a flat surface.

Thereafter, the plating current pattern is changed over to continue the fountain plating.

More specifically, in the later process after the trenches 14-1 to 14-n are buried, as illustrated in FIG. 4, fountain plating is achieved by conducting a DC pulsed current having alternately: forwardly and backwardly changing polarity. Hereby, as illustrated in FIG. 2(a), a copper plated layer 37b having a more protruded configuration on the trenches 14-1 to 14-n and on a peripheral area of the same than on other areas. With the present exemplary construction, there is ensured substantially the same effect as that described above in the first embodiment.

The period t_3 of the negative DC pulsed current illustrated in FIG. 4 is set within about 10 seconds, and peak value I_4 of the negative DC pulsed current is set slightly lower than a peak value I_2 of the negative pulsed current.

FIG. 5 is a view of a temporal waveform of a current upon fountain plating for illustrating the operation of a third preferred embodiment.

A method of manufacturing a semiconductor device of the present embodiment is sharply different from that of the first embodiment (FIGS. 1, 2, 3) in that a plating solution (second plating solution) to which the aforementioned retarding agent is not added is used to achieve fountain plating for deposition of a copper plated layer. Hereby, the order of changeover among plating current patterns of the present embodiment becomes different from that of the first embodiment.

Since no retarding agent is contained in the plating solution 22 in the present embodiment, a plating speed at a high current density portion is high.

Although already described, this situation brings about inconvenience that conduction of the unidirectional polarity DC current makes film thickness nonuniform and the life of electromigration is deteriorated. To prevent this, a DC pulsed current having an alternately: forwardly and backwardly changing polarity is conducted to deposit a flat surface copper plated layer. A positive pulsed current is a back bias current to remove excessive copper deposited at a high current density portion.

More specifically, in a previous process until the trenches 14-1 to 14-n are buried, as illustrated in FIG. 1(c), a DC pulsed current having an alternately: forwardly and backwardly changing polarity is conducted to achieve fountain plating. Hereby, as illustrated in FIG. 1(c), a copper plated layer 37a is deposited on the interlayer insulating film 12 which layer buries the trenches 14-1 to 14-n and has a substantially flat surface.

It is noted that a pattern of the DC pulsed current having an alternately: forwardly and backwardly changing polarity may be altered in proper view of preventing production of voids.

Thereafter, the plating current pattern is changed over to continue fountain plating. More specifically, in a later process after the trenches 14-1 to 14-n are buried, as illustrated in FIG. 5, a unidirectional polarity negative DC current is conducted to achieve fountain plating.

Since no retarding agent is contained in the plating solution 22, a copper plated layer is more protruded deposited at a high current density portion. Thus, after a copper plated layer 37a configured as illustrated in FIG. 1(c) is deposited, film thickness of copper in the trenches 14-1 to 14-n becomes thicker than that of the upper part of the interlayer insulating film 12 to relatively reduce the resistance, resulting in an increase of the amount of the current, and hence the amount of deposition of copper on the upper part of the trenches 14-1 to 14-n is increased.

Hereby, as illustrated in FIG. 2(a), there is deposited the copper plated layer 37b more protruded on the trenches 14-1 to 14-n and on a peripheral area of the same than on other areas.

Thus, with the present construction, substantially the same effect as that described above in the first embodiment is ensured.

Periods t_4 , t_5 of a DC pulsed current having alternately: forwardly and backwardly changing polarity in FIG. 5 is set within about 10 seconds. This is because that there is a fear that if the periods exceed 10 seconds, the configuration of the copper plated layer is changed when excessive copper deposited at the

high current density portion is deposited at the high current density portion or removed.

FIG. 6 is a view of a temporal waveform of a current upon fountain plating for illustrating the operation of a fourth preferred embodiment.

A method of manufacturing a semiconductor device according to the present embodiment is different from the third embodiment in that there are different plating currents.

More specifically, in a previous process until the trenches 14-1 to 14-n are buried, as illustrated in FIG. 1, DC pulsed current having an alternately:

forwardly and backwardly alternately changing polarity is conducted for fountain plating. Hereby, as illustrated in FIG. 1(c), a copper plated layer 37a is deposited on the interlayer insulating film 12 which layer buries the trenches 14-1 to 14-n and has a substantially flat surface.

Thereafter, the plating current pattern is changed over to continue fountain plating. More specifically, in a later process after the trenches 14-1 to 14-n are buried, as illustrated in FIG. 6, a negative DC pulsed current having a unidirectional polarity is conducted for fountain plating.

Hereby, as illustrated in FIG. 2(a), a copper plated layer 37b is deposited on the trenches 14-1 to 14-n and on a peripheral area of the same which layer has a more protruded configuration than on other areas is increased.

Accordingly, with the present construction, substantially the same effect as described above in the first embodiment is ensured.

A method of manufacturing a semiconductor device according to a fifth preferred embodiment is sharply different from that of the first embodiment (FIGS. 1, 2 and 3) in that in the first embodiment the kind of the plating solution is fixed and the plating current pattern is changed over for protrusion and deposition of the copper plated layer while in the present embodiment the plating current pattern is fixed and the kind of the plating solution is changed for protrusion and deposition of the copper plated layer.

More specifically, a unidirectional polarity negative DC current or negative DC pulsed current has been conducted at all times (current patterns shown in FIGS. 3 and 4). In a previous process until the trenches 14-1 to 14-n are buried, a plating solution 22 containing a retarding agent is used to achieve fountain plating. Since the plating solution 22 contains the retarding agent, a plating speed at a high current density portion is automatically slowed down.

Hereby, as illustrated in FIG. 1(c), a copper plated layer 37a is deposited on the interlayer insulating film 12 which layer buries the trenches 14-1 to 14-n and has a substantially flat surface.

Thereafter, in a later process after the trenches 14-1 to 14-n are buried, the plating solution 22 is changed over to a solution not containing a retarding agent to continue fountain plating. Since the plating current pattern is a unidirectional polarity negative DC current or negative DC pulsed current as described above, the copper plated layer is more protruded and deposited along a high current density portion.

Accordingly, after the copper plated layer 37a illustrated in FIG. 1(c) is deposited, film thickness of copper in the trenches 14-1 to 14-n becomes thicker than that on the interlayer insulating film 12 to relatively lower resistance and hence increase the amount of the current. Thus, the amount of the deposition of copper on the upper part of the trenches 14-1 to 14-n.

Hereby, as illustrated in FIG. 2(a), a copper plated layer 37b is deposited on the trenches 14-1 to 14-n and on a peripheral area of the same into a more protruded configuration than on other areas is increased.

With the present construction, substantially the same effect as described above in the first embodiment is ensured.

A method of manufacturing a semiconductor device according to a sixth preferred embodiment deposits copper plated layer by fixing a plating current pattern and changing kinds of plating solutions in the same manner as in the fifth embodiment, but is different from the same in a plating current pattern.

More specifically, a DC pulsed current having an alternately: forwardly and backwardly alternately changing polarity has been conducted (a current pattern until the trenches illustrated in FIGS. 5 and 6 are buried.).

In a previous process until the trenches 14-1 to 14-n are buried, fountain plating is achieved using a plating solution not containing a retarding agent. In this case, a positive pulsed current is a back bias current for removing excessive copper deposited at high current density portions. Hereby, as illustrated in FIG. 1(c), copper plated layer 37a is deposited on the interlayer insulating film 12 which layer buries the trenches 1 to 14-n and has a substantially flat surface.

Thereafter, in a later process after the trenches 14-1 to 14-n are buried, the plating solution 22 is changed over to a solution containing a retarding agent to continue fountain plating. Herein, the positive pulsed current is a back bias current for removing additive molecules adsorbed at high current density portions, and the copper plated layer is more deposited at high current density portions by conducting the positive pulsed current.

Accordingly, after the copper plated layer 37a having a configuration illustrated in FIG. 1(c) is deposited, film thickness of copper in the trenches 14-1 to 14-n becomes thicker than that on the interlayer insulating film 12 to relatively lower resistance and hence increase the amount of the current. Thus, the amount of deposition of copper on the upper part of the trenches 14-1 to 14-n.

Hereby, as illustrated in FIG. 2(a), a copper plated layer 37b is deposited on the trenches 14-1 to 14-n and on a peripheral area of the same which layer has a more protruded configuration than on other areas.

Thus, with the present exemplary construction, substantially the same effect as described above in the first embodiment is ensured.

FIG. 7 is views of successive processes in cross sections for illustrating copper plated layer deposition according to a seventh preferred embodiment of the present invention.

A method of manufacturing a semiconductor device according to the present embodiment is sharply different from that of the first embodiment (FIGS. 1, 2, 3) in that a deposition prevention layer is formed on the interlayer insulating film other than the trenches and a peripheral area of the same with which layer a copper plated layer is not deposited, and the copper plated layer is deposited only on the trenches and a peripheral area of the same.

For achieving the method of manufacturing a semiconductor device according to the present embodiment, the interlayer insulating film 12 is formed on the silicon substrate 11, over an entire area on which film; photoresist 13 is applied to form a resist pattern, and then the trenches 14-1 to 14-n are formed in the interlayer insulating film 12 and the photoresist 13 is removed, and further a barrier layer 15 is deposited over an entire area of which a copper seed layer 16 is formed. The above description is substantially the

same as that of the first embodiment.

As illustrated in FIG. 7(a), a photoresist 43 is applied on the surface of the silicon substrate 11 on which the copper seed layer 16 is formed, which photoresist is exposed to light and developed using a photolithography to form a photoresist pattern from which the trenches 14-1 to 14-n and a peripheral area of the same are removed.

Then, using a fountain plating apparatus 21 illustrated in FIG. 11 fountain plating is applied onto the silicon substrate 11 on which the resist pattern is formed with the copper seed layer 16 used as one electrode. Thereafter, the photoresist 43 is removed, and a copper plated layer 47 is deposited on the trenches 14-1 to 14-n and on a peripheral area of the same to form a structure, which layer has a protruded configuration (refer to FIG. 7(b)).

Then, like a process illustrated in FIG. 2(b), a silicon substrate surface on which the copper plated layer deposited until the interlayer insulating film is exposed is polished using the CMP method, and the copper plated layer is left behind only in the trenches to form a buried wiring.

Thus, with the present construction, substantially the same effect as described above in the first embodiment is ensured.

FIG. 8 is views of successive processes in cross sections for illustrating copper plated layer deposition according to an eighth preferred embodiment of the present invention.

A method of manufacturing a semiconductor device according to the present embodiment is sharply different from that of the first embodiment (FIGS. 1, 2, 3) in that after the copper plated layer is deposited on the interlayer insulating film which layer buries the trenches and has a substantially flat surface, a mask is formed, covering the copper plated layer on the trenches and on a peripheral area of the same, and the copper plated layer deposited other than on the trenches and a peripheral area of the same is made thinner to construct a structure where the copper plated layer is deposited on the trenches and on a peripheral area of the same, having a protruded configuration.

For achieving the method of manufacturing a semiconductor device according to the present embodiment, the interlayer insulating film 12 is formed on the silicon substrate 11, over an entire area on which film 12 is formed, photoresist 13 is applied to form a resist pattern, and then the trenches 14-1 to 14-n are formed along a wiring scheduled portion of the interlayer insulating film 12.

Thereafter, the photoresist 13 is removed, and a barrier layer 15 is deposited on side surfaces and a bottom surface in the trenches 14-1 to 14-n and on an entire area on the interlayer insulating film 12, over an entire area on which barrier layer 15 is deposited, a copper seed layer 16 is formed. Then, with the aid of a fountain plating method where the copper seed layer 16 is used as an electrode a copper plated layer 17 is deposited, which layer buries the trenches 14-1 to 14-n and has a substantially flat surface over a wide area on the interlayer insulating film 12. The construction up to here is substantially the same as the aforementioned prior method.

Then, as illustrated in FIG. 8(a), a photoresist 53 is applied on the surface of the silicon substrate 11 on which a substantially flat surface copper plated layer 17 is deposited, and is exposed to light and developed using a photolithography, and the photoresist 53 other than on the trenches 14-1 to 14-n and on a peripheral area of the same is removed and a resist pattern is formed where the resist is left behind only in the trenches 14-1 to 14-n.

Then, an exposed part of the copper plated layer 17 is etched and is made thinner using the resist pattern.

a mask, and thereafter the photoresist 53 is removed to form a structure where the copper plated layer having a protruded configuration is deposited on the trenches 14-1 to 14-n and on a peripheral area of the same (refer to FIG. 8(b)).

Then, as in the process illustrated in FIG. 2(b), a silicon substrate surface on which the copper plated layer is polished using a CMP method until the interlayer insulating film is exposed, and the copper plated layer is left behind only in the trenches to form a buried wiring.

Thus, with the present exemplary construction, substantially the same effect as described above in the first embodiment is ensured.

It is noted here that the copper plated layer deposited and exposed other than on the trenches and on a peripheral area of the same may be made thinner using any method other than the aforementioned etching.

A method of manufacturing a semiconductor device according to a ninth embodiment is sharply different from that of the first embodiment (FIGS. 1, 2, 3) in that after a copper plated layer is deposited on the interlayer insulating film which layer buries the trenches and has a substantially flat surface, an entire area of the copper plated layer is etched back to make the film thickness thinner, and thereafter fountain plating is achieved under conditions where a plating speed at a high current density portion is higher to form a structure where the copper plated layer is deposited on the trenches and on a peripheral area of the same having a protruded configuration.

For achieving the present exemplary method of manufacturing a semiconductor device an interlayer insulating film is formed on a silicon substrate, and then a trench is formed in the interlayer insulating film. Thereafter, a barrier layer is deposited on side surfaces and a bottom surface in the trench and on an entire area on the interlayer insulating film, over an entire area on which layer a copper seed layer is formed. Then, a copper plated layer is deposited which buries the trench and has a substantially flat surface on the interlayer insulating film with the aid of a fountain plating method where the copper seed layer is used as an electrode. The description up to here is substantially the same as the aforementioned prior method.

Thereafter, the entire area of the copper plated layer is etched back into thin film thickness. Then, fountain plating is achieved by conducting a DC pulsed current (current patterns shown in FIGS. 3 and 4.) having forwardly and backwardly alternately changing polarity using a plating solution containing a retarding agent or fountain plating is achieved by conducting a negative DC current or negative DC pulsed current (current patterns shown in FIGS. 5 and 6.) having a unidirectional polarity using a plating solution not containing a retarding agent.

In the combination of the plating pattern and the current pattern, after the substantially flat surface copper plated layer is deposited, the amount of the current is increased on the trench and on a peripheral area of the same where film thickness of copper is thicker than on the interlayer insulating film, on which portion a copper plated layer having a protruded configuration is formed. Then, as in the process illustrated in FIG. 2(b), a silicon substrate surface on which the copper plated layer is deposited until the interlayer insulating film is exposed is polished using the CMP method, and the copper plated layer is left behind only in the trench to form a buried wiring.

Thus, with the present exemplary construction, substantially the same effect as described above in the first embodiment is ensured.

A method of manufacturing a semiconductor device according to a tenth preferred embodiment is sharply different from that of the ninth embodiment in that although in the ninth embodiment after the copper plated layer is deposited on the interlayer insulating film which layer buries the trench and has a

substantially flat surface, an entire area of the copper plated layer is etched back into thin film thickness. In the present embodiment a copper plated layer is deposited on the interlayer insulating film to be thinner than the trench and has a substantially flat surface. More specifically, since in the present embodiment the copper plated layer is deposited on the interlayer insulating film to be thin, there is unnecessary the processing in the ninth embodiment where the copper plated layer is etched back to match the film thickness of the copper plated layer thinner. Other than this are the same as in the ninth embodiment, and hence the description is not repeated.

Thus, with the present exemplary construction substantially the same effect as described above is ensured.

Although the preferred embodiments of the present invention are described in detail with reference to the accompanying drawings, the concrete construction is not limited to the embodiments, and the present invention includes any alteration of a design without departing the scope of the present invention.

For example, the depth, width, and interval of the trench is not limited to the above embodiments.

In the above embodiments the current pattern conducted until a substantially flat copper plated layer is deposited is not needed to be fixed, and the current pattern can be altered to prevent any void from being produced. Thereupon, it is important to keep the configuration of a copper deposit layer in a forward tapered configuration (wider than a bottom of the trench at an opening of the same) by altering the current pattern.

Although in the above embodiments deposition of the copper plated layer is achieved with the aid of the fountain plating, that may be achieved with electrical plating methods other than the fountain plating, e.g., with a dipping plating. As the metal material of the buried wiring there may be useable metals capable of plating, e.g., gold, silver, aluminum other than copper described above.

Although in the above embodiments the photoresist pattern is used as the deposition prevention layer for preventing the copper plated layer from being deposited on the interlayer insulating film other than on the trench and on a peripheral area of the same, other than this may be used. The method to make the film thickness thinner by depositing a substantially flat surface copper plated layer on the interlayer insulating film and then etching back an entire area of the copper plated layer may be achieved by methods other than the above etching. Further, flattening of the surface of the interlayer insulating film after the copper plated layer is buried in the trench may be achieved by methods other than the CMP method.

As described above, with the method of manufacturing a semiconductor device according to the present invention a trench is provided along a wiring scheduled portion of an insulating film, and a metal wiring material is buried in the trench and is deposited on the insulating film, to the surface of which material flattening is applied to form a buried wiring. Thereupon, erosion and dishing are prevented from happening to improve the freedom of a wiring design.

It is thus apparent that the present invention is not limited to the above embodiments but may be changed and modified without departing from the scope and spirit of the invention.

Finally, the present application claims the priority of Japanese Patent Application No. Hei10-038311 filed on Feb. 20, 1998, which is herein incorporated by reference.

Data supplied from the *esp@cenet* database - Worldwide

Claims of corresponding document: **US6245676**

What is claimed is:

1. In a method of manufacturing a semiconductor device comprising the steps of: providing a trench along a wiring scheduled portion of an insulating film formed on a substrate; forming a metal seed layer on the insulating film including said trench; forming a deposit layer of a metal wiring material on said metal seed layer to completely bury said trench with the aid of an electrical plating method where the metal seed layer is used as one electrode; and polishing and removing the deposit layer of the metal wiring material until the insulating film is again exposed, to form a buried wiring in said trench, the improvement being where the method further comprises the steps of: upon forming said buried wiring, protruding said deposit layer of the metal wiring material on said trench and on a peripheral area of the same into a protruded configuration by controlling a current of said electrical plating method; and polishing and removing said deposit layer until said insulating film is exposed; and wherein in said electrical plating a bidirectional current alternately temporarily changing in its flow direction is conducted until at least said trench is buried, and a unidirectional current not temporally changing in its flow direction is conducted to protrude said deposit layer of the metal wiring material on said trench and on a peripheral area of the same into a protruded configuration, and said deposit layer is polished and removed until said insulating film is exposed.
2. A method of manufacturing a semiconductor device according to claim 1 wherein said electrical plating is a fountain plating method where said plating solution is sprayed to said metal seed layer formed on said substrate in a fountain state.
3. In a method of manufacturing a semiconductor device comprising the steps of: providing a trench along a wiring scheduled portion of an insulating film formed on a substrate; forming a metal seed layer on the insulating film including said trench; forming a deposit layer of a metal wiring material on said metal seed layer to completely bury said trench with the aid of an electrical plating method where the metal seed layer is used as one electrode; and polishing and removing the deposit layer of the metal wiring material until the insulating film is again exposed, to form a buried wiring in said trench, the improvement being where the method further comprises the steps of: upon forming said buried wiring, protruding said deposit layer of the metal wiring material on said trench and on a peripheral area of the same into a protruded configuration by controlling a current of said electrical plating method; and polishing and removing said deposit layer until said insulating film is exposed; and wherein a unidirectional current not temporarily changing in its flow direction is conducted until at least said trench is buried and a bidirectional current alternately temporarily changing in its flow direction is conducted to protrude said deposit layer of the metal wiring material on said trench and on a peripheral area of the same into a protruded configuration, and said deposit layer is polished and removed until said insulating film is exposed.
4. In a method of manufacturing a semiconductor device comprising the steps of: providing a trench along a wiring scheduled portion of an insulating film formed on a substrate; forming a metal seed layer on the insulating film including said trench; forming a deposit layer of a metal wiring material on said metal seed layer with the aid of an electrical plating method where said metal seed layer is used as one electrode and a unidirectional current not temporarily changing in its flow direction, to bury said trench; and polishing and removing said deposit layer of the metal wiring material until said insulating film is again exposed to form a buried layer in said trench, the improvement wherein the method further comprises the steps of: upon forming said buried wiring, protruding said deposit layer of the metal wiring material on said trench and on a peripheral area of the same into a protruded configuration by performing previous process electrical plating until at least said trench is buried using a first plating solution containing a retarding agent for preventing said metal wiring material from being deposited on a high current density portion on an exposed surface of said metal seed layer.

layer or said deposit layer and performing later process electrical plating using a second plating solution not containing said retarding agent; and
polishing and removing said deposit layer until said insulating film is exposed.

5. A method of manufacturing a semiconductor device according to claim 4 wherein said electrical plating is a fountain plating method where said plating solution is sprayed to said metal seed layer formed on said substrate in a fountain state.

6. In a method of manufacturing a semiconductor device comprising the steps of: providing a trench along a wiring scheduled portion of an insulating film formed on a substrate; forming a metal seed layer on the insulating film including said trench; forming a deposit layer of a metal wiring material on said metal seed layer to bury said trench with the aid of an electrical plating method where said metal seed layer is used as one electrode and a bidirectional current alternately temporally changing in its flow direction; and
polishing and removing said deposit layer of the metal wiring material until said insulating film is exposed to form a buried wiring in said trench, the improvement wherein the method further comprises the steps

upon forming said buried wiring,
protruding said deposit layer of the metal wiring material on said trench and on a peripheral area of the same into a protruded configuration by first achieving previous process electrical plating until at least said trench is buried using a second plating solution not containing a retarding agent for preventing said metal wiring material from adhering to a high current density portion on an exposed surface of said metal seed layer or said deposit layer and achieving later process electrical plating using a first plating solution containing said retarding agent; and
polishing and removing said deposit layer until said insulating film is exposed.

7. A method of manufacturing a semiconductor device according to claim 6 where said electrical plating is a fountain plating method where said plating solution is sprayed to said metal seed layer formed on said substrate in a fountain state.

8. In a method of manufacturing a semiconductor device comprising the steps of: providing a trench along a wiring scheduled portion of an insulating film formed on a substrate; forming a metal seed layer on the insulating film including said trench; forming a deposit layer of a metal wiring material on said metal seed layer to bury said trench with the aid of an electrical plating method where said metal seed layer is used as one electrode; and polishing and removing said deposit layer of the metal wiring material until said insulating film is again exposed, the improvement being wherein the method further comprises the steps of:

upon forming said buried wiring,
forming said deposit layer of the metal wiring material on said insulating film with the aid of said electrical plating method or forming said deposit layer of the metal wiring material on said insulating film with the aid of said electrical plating method until at least the trench is completely buried and etching back said deposit layer;
protruding said deposit layer of the metal wiring material on said trench and on a peripheral area of the same into a protruded configuration with the aid of electrical plating where a bidirectional current alternately temporally changing in its flow direction using a first plating solution containing a retarding agent for preventing said metal seed material from adhering to a high current density portion on an exposed surface of said metal seed layer or said deposit layer; and
polishing and removing said deposit layer until said insulating film is removed.

9. In a method of manufacturing a semiconductor device comprising the steps of: providing a trench along a wiring scheduled portion of an insulating film formed on a substrate; forming a metal seed layer on the insulating film including said trench; forming a deposit layer of a metal wiring material on said metal seed

layer to bury said trench with the aid of an electrical plating method where said metal seed layer is used one electrode; and polishing and removing said deposit layer of the metal wiring material until said insulating film is exposed to form a buried wiring in said trench, the improvement being wherein the method further comprises the steps of:

upon forming said buried wiring,

first forming said deposit layer of the metal wiring material on said insulating film with the aid of said electrical plating method until at least the trench is completely buried; or

forming said deposit layer of the metal wiring material on said insulating film with the aid of said electrical plating method until at least the trench is completely buried; and etching back said deposit layer;

protruding said deposit layer of the metal wiring material on said trench and on a peripheral area of the same into a protruded configuration by performing electrical plating where a unidirectional current not changing in its flow direction using a second plating solution not containing a retarding agent for preventing said metal wiring material from adhering to a high current density portion on an exposed surface of said metal seed layer or said deposit layer; and

polishing and removing said deposit layer until said insulating film is exposed.

Data supplied from the *esp@cenet* database - Worldwide

This Page Blank (uspio)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-238703

(43) 公開日 平成11年(1999) 8月31日

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 21/288

H 0 1 L 21/288

E

C 2 5 D 3/38

C 2 5 D 3/38

7/12

7/12

H 0 1 L 21/3205

H 0 1 L 21/88

K

審査請求 有 請求項の数11 O L (全 13 頁)

(21) 出願番号 特願平10-38311

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(22) 出願日 平成10年(1998) 2月20日

(72) 発明者 上野 和良

東京都港区芝五丁目7番1号 日本電気株式会社内

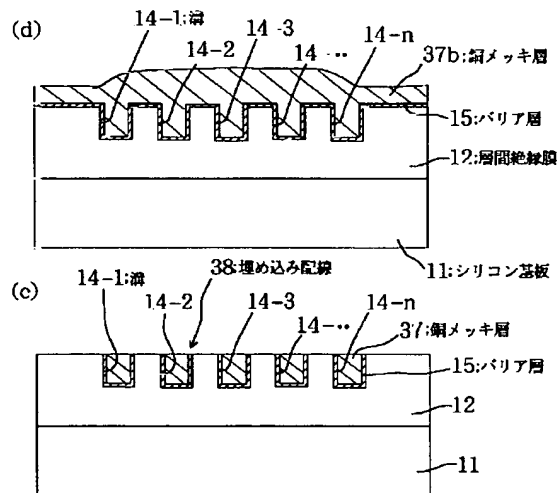
(74) 代理人 弁理士 西村 征生

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 埋め込み配線の形成の際、エロージョンが発生するのを抑制し、配線設計の自由度を高める。

【解決手段】 シリコン基板11の上に層間絶縁膜12を形成し、次に層間絶縁膜12に溝14-1~14-nを形成する。この後、バリア層15を溝14-1~14-n内の側面と底面及び層間絶縁膜12上の全域に被着し、バリア層15上の全域に銅シード層16を形成する。次に、銅シード層16を電極として噴流メッキを行い、溝14-1~14-n内を埋め込むと共に層間絶縁膜12上に溝14-1~14-n及びその周辺領域で凸状に盛り上がった形状の銅メッキ層37bを堆積する。この後、その表面に層間絶縁膜12が露出するまでCMP法による研磨を施し、埋め込み配線38を形成する。



【特許請求の範囲】

【請求項1】 基板上に形成した絶縁膜の配線予定部位に溝を設け、前記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極とする電気メッキ法により、前記金属シード層の上に金属配線材料の堆積層を形成して前記溝を埋めた後、形成した前記金属配線材料の堆積層を再び前記絶縁膜が露出するまで研磨除去することで、前記溝内に埋め込み配線を形成する半導体装置の製造方法であって、前記埋め込み配線を形成する際、前記電気メッキ法の電流を制御することで、前記金属配線材料の堆積層を、前記溝及びその周辺領域で凸状に盛り上がらせた後、前記堆積層を前記絶縁膜が露出するまで研磨除去することを特徴とする半導体装置の製造方法。

【請求項2】 前記電気メッキ法では、流れの向きが交互に時間変化する2方向電流を、少なくとも前記溝が埋め込まれるまで流し、次に、流れの向きが時間変化しない1方向電流を流して、前記金属配線材料の堆積層を、前記溝及びその周辺領域で凸状に盛り上がらせた後、前記堆積層を前記絶縁膜が露出するまで研磨除去することを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記電気メッキ法で用いるメッキ液には、前記金属シード層又は前記堆積層の露出表面における電流密度の高い部位に対する前記金属配線材料の付着を阻止又は抑制する抑制剤が含まれていることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 流れの向きが時間変化しない1方向電流を、少なくとも前記溝が埋め込まれるまで流し、次に、流れの向きが交互に時間変化する2方向電流を流して、前記金属配線材料の堆積層を、前記溝及びその周辺領域で凸状に盛り上がらせた後、前記堆積層を前記絶縁膜が露出するまで研磨除去することを特徴とする請求項3記載の半導体装置の製造方法。

【請求項5】 基板上に形成した絶縁膜の配線予定部位に溝を設け、前記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極として、流れの向きが時間変化しない1方向電流を流す電気メッキ法により、前記金属シード層の上に金属配線材料の堆積層を形成して前記溝を埋めた後、形成した前記金属配線材料の前記堆積層を再び前記絶縁膜が露出するまで研磨除去することで、前記溝内に埋め込み配線を形成する半導体装置の製造方法であって、前記埋め込み配線を形成する際、

まず、前記金属シード層又は前記堆積層の露出表面における電流密度の高い部位に対する前記金属配線材料の付着を阻止又は抑制する抑制剤を含んだ第1のメッキ液を用いて、少なくとも前記溝が埋め込まれるまで前工程の電気メッキを行い、次に、前記抑制剤を含まない第2のメッキ液を用いて後工程の電気メッキを行うことで、前記

金属配線材料の堆積層を、前記溝及びその周辺領域で凸状に盛り上がらせた後、前記堆積層を前記絶縁膜が露出するまで研磨除去することを特徴とする半導体装置の製造方法。

【請求項6】 基板上に形成した絶縁膜の配線予定部位に溝を設け、前記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極として、流れの向きが交互に時間変化する2方向電流を流す電気メッキ法により、前記金属シード層の上に金属配線材料の堆積層を形成して前記溝を埋めた後、形成した前記金属配線材料の堆積層を再び前記絶縁膜が露出するまで研磨除去することで、前記溝内に埋め込み配線を形成する半導体装置の製造方法であって、前記埋め込み配線を形成する際、

まず、前記金属シード層又は前記堆積層の露出表面における電流密度の高い部位に対する前記金属配線材料の付着を阻止又は抑制する抑制剤を含まない第2のメッキ液を用いて、少なくとも前記溝が埋め込まれるまで前工程の電気メッキを行い、次に、前記抑制剤を含む第1のメッキ液を用いて後工程の電気メッキを行うことで、前記金属配線材料の堆積層を、前記溝及びその周辺領域で凸状に盛り上がらせた後、前記堆積層を前記絶縁膜が露出するまで研磨除去することを特徴とする半導体装置の製造方法。

【請求項7】 基板上に形成した絶縁膜の配線予定部位に溝を設け、前記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極とする電気メッキ法により、前記金属シード層の上に金属配線材料の堆積層を形成して前記溝を埋めた後、形成した前記金属配線材料の堆積層を再び前記絶縁膜が露出するまで研磨除去することで、前記溝内に埋め込み配線を形成する半導体装置の製造方法であって、前記埋め込み配線を形成する際、

まず、前記絶縁膜上の領域のうち、少なくとも前記溝を除く領域に前記金属配線材料の堆積を阻止する堆積阻止層を形成し、次に、前記電気メッキ法を実施して、前記金属配線材料の堆積層を、前記溝及びその周辺領域で凸状に盛り上がらせた後、前記堆積層を前記絶縁膜が露出するまで研磨除去することを特徴とする半導体装置の製造方法。

【請求項8】 基板上に形成した絶縁膜の配線予定部位に溝を設け、前記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極とする電気メッキ法により、前記金属シード層の上に金属配線材料の堆積層を形成して前記溝を埋めた後、形成した前記金属配線材料の堆積層を再び前記絶縁膜が露出するまで研磨除去することで、前記溝内に埋め込み配線を形成する半導体装置の製造方法であって、前記埋め込み配線を形成する際、まず、前記電気メッキ法により、前記絶縁膜上に前記金

属配線材料の堆積層を形成し、次に、該堆積層上の領域のうち、少なくとも前記溝の上の領域に、前記金属配線材料の堆積層に対するエッチングを阻止するためのマスク層を形成し、次に、前記エッチング処理を施すことで、前記金属配線材料の堆積層を、前記溝及びその周辺領域で凸状に盛り上がらせた後、前記堆積層を前記絶縁膜が露出するまで研磨除去することを特徴とする半導体装置の製造方法。

【請求項9】 基板上に形成した絶縁膜の配線予定部位に溝を設け、前記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極とする電気メッキ法により、前記金属シード層の上に金属配線材料の堆積層を形成して前記溝を埋めた後、形成した前記金属配線材料の堆積層を再び前記絶縁膜が露出するまで研磨除去することで、前記溝内に埋め込み配線を形成する半導体装置の製造方法であって、

前記埋め込み配線を形成する際、

まず、前記電気メッキ法により、前記絶縁膜上に前記金属配線材料の堆積層を薄く形成し、あるいは、前記電気メッキ法により、前記絶縁膜上に前記金属配線材料の堆積層を形成した後、エッチングバックして薄い堆積層とし、

次に、前記金属シード層又は前記堆積層の露出表面における電流密度の高い部位に対する前記金属配線材料の付着を阻止又は抑制する抑制剤を含んだ第1のメッキ液を用いて、流れの向きが交互に時間変化する2方向電流を流す電気メッキを行うことで、

前記金属配線材料の堆積層を、前記溝及びその周辺領域で凸状に盛り上がらせた後、前記堆積層を前記絶縁膜が露出するまで研磨除去することを特徴とする半導体装置の製造方法。

【請求項10】 基板上に形成した絶縁膜の配線予定部位に溝を設け、前記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極とする電気メッキ法により、前記金属シード層の上に金属配線材料の堆積層を形成して前記溝を埋めた後、形成した前記金属配線材料の堆積層を再び前記絶縁膜が露出するまで研磨除去することで、前記溝内に埋め込み配線を形成する半導体装置の製造方法であって、

前記埋め込み配線を形成する際、

まず、前記電気メッキ法により、前記絶縁膜上に前記金属配線材料の堆積層を薄く形成し、あるいは、前記電気メッキ法により、前記絶縁膜上に前記金属配線材料の堆積層を形成した後、エッチングバックして薄い堆積層とし、

次に、前記金属シード層又は前記堆積層の露出表面における電流密度の高い部位に対する前記金属配線材料の付着を阻止又は抑制する抑制剤を含まない第2のメッキ液を用いて、流れの向きが時間変化しない1方向電流を流す電気メッキを行うことで、

前記金属配線材料の堆積層を、前記溝及びその周辺領域で凸状に盛り上がらせた後、前記堆積層を前記絶縁膜が露出するまで研磨除去することを特徴とする半導体装置の製造方法。

【請求項11】 前記電気メッキ法は、前記メッキ液を前記基板上に形成された前記金属シード層に、噴流状態に吹き付ける噴流メッキ法であることを特徴とする請求項1乃至10のいずれか1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置の製造方法に係り、詳しくは、埋め込み配線形成領域の絶縁膜表面の平坦性が確保される半導体装置の製造方法に関する。

【0002】

【従来の技術】近年、半導体集積回路が微細化、高集積化されるに伴い、配線の多層化が進められてきている。このような状況下で、例えば、半導体基板上に形成された下地層間絶縁膜の上に下層配線を形成し、その下層配線を覆って層間絶縁膜を堆積するというような場合には、下地層間絶縁膜と下層配線との段差が反映されて、下層配線を覆ってその上に形成される層間絶縁膜の表面が平坦にならない。このように、下層配線を覆って形成される層間絶縁膜の表面に凹凸があつては、この層間絶縁膜の上にさらに上層の配線を形成するというような場合、その上層の配線を歩留り良く形成することが不可能となる。したがって、層間絶縁膜の表面の平坦性の確保は重要である。このため、層間絶縁膜中に埋め込み配線を形成してその表面を平坦化することが行われてきている。

【0003】以下、図9及び図10を参照して、従来の埋め込み配線の形成方法について説明する。まず、図9(a)に示すように、シリコン基板11の上にシリコン酸化膜からなる層間絶縁膜12を形成し、その上の全域にフォトリソグロフィー技術を用いて形成しようとする配線の形状に対応したレジストパターンを形成し、これをマスクとして層間絶縁膜12に、深さ略0.5 μ m、幅0.3~10 μ m、間隔略0.5 μ mの溝14-1、14-2、14-3、…、14-nを形成する。この後、同図(b)に示すように、フォトリソレジスト13を除去し、タンタル(Ta)からなるバリア層15を溝14-1~14-n内の側面と底面及び層間絶縁膜12上の全域に被着し、さらにこのバリア層15上の全域に銅シード層16を形成する。なお、このバリア層15の被着及び銅シード層16の形成は周知のCVD法、スパッタ法等により行われる。上記において、このバリア層15は、銅がシリコン酸化膜中へ拡散して配線間又はシリコン基板中の接合部でリーク電流が発生するのを防止する等のため設けられる。次に、同図(c)に示すように、この銅シード層16を電

極とする噴流メッキ法により、溝14-1~14-n内を埋め込むと共に層間絶縁膜12上の広い範囲に亘って表面が略平坦な銅メッキ層17を堆積する。次に、図10(d)に示すように、化学的機械的研磨(CMP: Chemical and Mechanical Polishing)法により、銅メッキ層17が形成されたシリコン基板11の全表面を層間絶縁膜12が露出するまで研磨し、溝14-1~14-nの内部にのみ銅メッキ層17を残して埋め込み配線18を形成する。

【0004】ここで、図11を参照して、上記図9(c)に示す工程における噴流メッキ法について説明する。図11は、噴流メッキ装置の一例の概略構成図である。この噴流メッキ装置21は、同図に示すように、銅イオン(Cu^{2+})が溶解されているメッキ液22を一時貯留する略円筒状のメッキ槽23と、メッキ槽23内に収容された円筒状の噴流カップ24と、噴流カップ24の僅か上方に水平に配置された絶縁材料からなる円板状の固定板25と、噴流カップ24の底面からその中央部上方に開口しているメッキ液噴出用の噴出管26と、メッキ槽23の底面から槽内に開口しているメッキ液22の排出管27とを備えている。さらに、図示してはいないが、メッキ槽23の外部にはポンプとメッキ液タンクが備えられ、このポンプによりメッキ液22が、メッキ液タンクから噴出管26を通して噴流カップ24内に導入され、メッキ槽23からメッキ液タンクに返送される。また、固定板25の下面25aには銅メッキ層17を堆積しようとするシリコン基板11が固定されている。

【0005】この噴流メッキ装置21を用いて、シリコン基板11上に銅メッキ層17を形成するには、まず固定板25の下面25aにシリコン基板11を固定し、次に図示していないポンプを作動させ噴出管26よりメッキ液22を噴流させながらシリコン基板11が固定された固定板25をメッキ液22の僅か上方の所定位置に水平に配置し、この状態で噴流カップ24側を正(+)、シリコン基板11(銅シード層16)側を負(-)とする所定の電圧を印加して電流を流し、次に、メッキ液22の液面を上げてメッキ液22を矢印のようにシリコン基板11の表面に吹き付ければ、銅シード層16の上に銅メッキ層17が堆積される。銅メッキ層17の堆積を終えたメッキ液22は噴流カップ24の上部から側方に溢れ出る。所定時間経過後、メッキ液22の噴出を停止し液面を下げ、固定板25をメッキ槽23から取り出してシリコン基板11を固定板25から外す。このようにして所定の位置に銅メッキ層17が堆積されたシリコン基板11を得ることができる。ここで、上記噴流メッキ装置21は、噴流カップ24を正の電極として用いている例であるが、噴流カップ24の中にメッシュ状の電極を設けて、これに正の電圧を印加し、噴流カップ24自体を電極として用いない装置もある。

【0006】なお、上記において、噴流カップ24側を正とし、シリコン基板11側を負として所定の電圧を印加し電流を流すと述べたが、特開昭57-71150号公報第230頁左下欄第1行目乃至第7行目に記載されているように、噴流メッキ法では電流密度が高い箇所でのメッキ速度が早いので、常に一定パターンの電流を流したのでは表面が平坦な銅メッキ層17は得られない。

【0007】そこで、金属シード層16や銅メッキ層17の露出表面における電流密度の高い箇所に吸着し、この部位に対する銅の付着を阻止又は抑制する添加剤(以下、抑制剤ともいう)が添加されたメッキ液が使用される場合がある(例えば、CubathM(ENTHONE OMI社の商品名))。このような抑制剤入りのメッキ液22を使用する場合には、自動的に電流密度の高い箇所でのメッキ速度が遅くなるようになってから、常に一方向の極性の電流を流せば表面が略平坦なメッキ層が得られる。したがって、この場合、図10(a)及び同図(b)に示すように、一方向の極性の負の直流電流又は負の直流パルス電流を流して噴流メッキを行い、表面が略平坦な銅メッキ層17を得ている。

【0008】また、上記抑制剤が添加されないメッキ液が使用される場合もある(例えば、Microfab(EEJA社の商品名))。この場合、電流密度の高い箇所でのメッキ速度が速いので常に一方向の極性の電流を流したのでは膜厚が不均一になり、ひいては図14に示すように、溝14-iの内部が埋まる以前に開口部付近の両側の電流密度の高い箇所での堆積物がくっつき、溝内の埋め込み層にボイド(void)が発生してしまい、エレクトロマイグレーション(electromigration)寿命が短くなってしまうという不都合が発生する。これを回避するため、この場合、図13に示すような、順、逆と交互に極性の変化する直流パルス電流を流して噴流メッキを行い、表面が略平坦な銅メッキ層17を得ている。

【0009】

【発明が解決しようとする課題】ところで、上記のように、表面が略平坦な銅メッキ層17を得た後、その表面に研磨を施して溝14-1~14-nの内部にのみ銅を残し埋め込み配線18を形成すると、図10(d)に示すように、エロージョン(配線パターンの密度の高い領域の表面部分の銅が多く研磨されて窪む現象)の発生や、図15に示すように、幅の広い溝14-j内に銅メッキ層17を埋め込んで幅広の配線パターンの埋め込み配線19を形成すると、ディッシング(幅広の配線パターンの表面部分の銅が多く研磨されて窪む現象)の発生が起き、配線パターンの幅に制約が生じ、設計自由度が低下してしまうという問題があった。

【0010】これは、CMP法による研磨において、層間絶縁膜12の膜減りを防ぎながら(この場合、略500オングストローム以内)溝14-1~14-n内にのみ銅を残して埋め込み配線18を形成するためには、層

間絶縁膜12に比較して銅メッキ層17の研磨レートを高くする必要がある。このため、例えば、研磨剤に酸性の添加物を添加し銅を酸化して酸化銅として、シリコン酸化膜に較べて銅の方が速く研磨されるようにしている。このため、層間絶縁膜12が露出したとき、銅の面積比率が高いところで多く除去されて上記エロージョンやディッシングが発生している。

【0011】この発明は、上述の事情に鑑みてなされたもので、絶縁膜の配線予定部位に溝を設け金属配線材料を埋め込むと共に絶縁膜上に堆積し、その表面に平坦化処理を施して埋め込み配線を形成する際に、エロージョンやディッシングの発生を抑制することができ、配線設計の自由度を高めることができる半導体装置の製造方法を提供することを目的としている。

【0012】

【課題を解決するための手段】上記課題を解決するために、請求項1記載の発明は、基板上に形成した絶縁膜の配線予定部位に溝を設け、上記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極とする電気メッキ法により、上記金属シード層の上に金属配線材料の堆積層を形成して上記溝を埋めた後、形成した上記金属配線材料の堆積層を再び上記絶縁膜が露出するまで研磨除去することで、上記溝内に埋め込み配線を形成する半導体装置の製造方法に係り、上記埋め込み配線を形成する際、上記電気メッキ法の電流を制御することで、上記金属配線材料の堆積層を、上記溝及びその周辺領域で凸状に盛り上がらせた後、上記堆積層を上記絶縁膜が露出するまで研磨除去することを特徴としている。

【0013】また、請求項2記載の発明は、請求項1記載の半導体装置の製造方法に係り、上記電気メッキ法では、流れの向きが交互に時間変化する2方向電流を、少なくとも上記溝が埋め込まれるまで流し、次に、流れの向きが時間変化しない1方向電流を流して、上記金属配線材料の堆積層を、上記溝及びその周辺領域で凸状に盛り上がらせた後、上記堆積層を上記絶縁膜が露出するまで研磨除去することを特徴としている。

【0014】また、請求項3記載の発明は、請求項1記載の半導体装置の製造方法に係り、上記電気メッキ法で用いるメッキ液には、上記金属シード層又は上記堆積層の露出表面における電流密度の高い部位に対する上記金属配線材料の付着を阻止又は抑制する抑制剤が含まれていることを特徴としている。

【0015】また、請求項4記載の発明は、請求項3記載の半導体装置の製造方法に係り、流れの向きが時間変化しない1方向電流を、少なくとも上記溝が埋め込まれるまで流し、次に、流れの向きが交互に時間変化する2方向電流を流して、上記金属配線材料の堆積層を、上記溝及びその周辺領域で凸状に盛り上がらせた後、上記堆積層を上記絶縁膜が露出するまで研磨除去することを特徴

としている。

【0016】また、請求項5記載の発明は、基板上に形成した絶縁膜の配線予定部位に溝を設け、上記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極として、流れの向きが時間変化しない1方向電流を流す電気メッキ法により、上記金属シード層の上に金属配線材料の堆積層を形成して上記溝を埋めた後、形成した上記金属配線材料の堆積層を再び上記絶縁膜が露出するまで研磨除去することで、上記溝内に埋め込み配線を形成する半導体装置の製造方法に係り、上記埋め込み配線を形成する際、まず、上記金属シード層又は上記堆積層の露出表面における電流密度の高い部位に対する上記金属配線材料の付着を阻止又は抑制する抑制剤を含んだ第1のメッキ液を用いて、少なくとも上記溝が埋め込まれるまで前工程の電気メッキを行い、次に、上記抑制剤を含まない第2のメッキ液を用いて後工程の電気メッキを行うことで、上記金属配線材料の堆積層を、上記溝及びその周辺領域で凸状に盛り上がらせた後、上記堆積層を上記絶縁膜が露出するまで研磨除去することを特徴としている。

【0017】また、請求項6記載の発明は、基板上に形成した絶縁膜の配線予定部位に溝を設け、上記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極として、流れの向きが交互に時間変化する2方向電流を流す電気メッキ法により、上記金属シード層の上に金属配線材料の堆積層を形成して上記溝を埋めた後、形成した上記金属配線材料の堆積層を再び上記絶縁膜が露出するまで研磨除去することで、上記溝内に埋め込み配線を形成する半導体装置の製造方法に係り、上記埋め込み配線を形成する際、まず、上記金属シード層又は上記堆積層の露出表面における電流密度の高い部位に対する上記金属配線材料の付着を阻止又は抑制する抑制剤を含まない第2のメッキ液を用いて、少なくとも上記溝が埋め込まれるまで前工程の電気メッキを行い、次に、上記抑制剤を含む第1のメッキ液を用いて後工程の電気メッキを行うことで、上記金属配線材料の堆積層を、上記溝及びその周辺領域で凸状に盛り上がらせた後、上記堆積層を上記絶縁膜が露出するまで研磨除去することを特徴としている。

【0018】また、請求項7記載の発明は、基板上に形成した絶縁膜の配線予定部位に溝を設け、上記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極とする電気メッキ法により、上記金属シード層の上に金属配線材料の堆積層を形成して上記溝を埋めた後、形成した上記金属配線材料の堆積層を再び上記絶縁膜が露出するまで研磨除去することで、上記溝内に埋め込み配線を形成する半導体装置の製造方法に係り、上記埋め込み配線を形成する際、まず、上記絶縁膜上の領域のうち、少なくとも上記溝を除く領域に上記金属配線材料の堆積を阻止する堆積阻止層を形成し、

次に、上記電気メッキ法を実施して、上記金属配線材料の堆積層を、上記溝及びその周辺領域で凸状に盛り上がらせた後、上記堆積層を絶縁膜が露出するまで研磨除去することを特徴としている。

【0019】また、請求項8記載の発明は、基板上に形成した絶縁膜の配線予定部位に溝を設け、上記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極とする電気メッキ法により、上記金属シード層の上に金属配線材料の堆積層を形成して上記溝を埋めた後、形成した上記金属配線材料の堆積層を再び上記絶縁膜が露出するまで研磨除去することで、上記溝内に埋め込み配線を形成する半導体装置の製造方法に係り、上記埋め込み配線を形成する際、まず、上記電気メッキ法により、上記絶縁膜上に上記金属配線材料の堆積層を形成し、次に、該堆積層上の領域のうち、少なくとも上記溝の上の領域に、上記金属配線材料の堆積層に対するエッチングを阻止するためのマスク層を形成し、次に、上記エッチング処理を施すことで、上記金属配線材料の堆積層を、上記溝及びその周辺領域で凸状に盛り上がらせた後、上記堆積層を上記絶縁膜が露出するまで研磨除去することを特徴としている。

【0020】また、請求項9記載の発明は、基板上に形成した絶縁膜の配線予定部位に溝を設け、上記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極とする電気メッキ法により、上記金属シード層の上に金属配線材料の堆積層を形成して上記溝を埋めた後、形成した上記金属配線材料の堆積層を再び上記絶縁膜が露出するまで研磨除去することで、上記溝内に埋め込み配線を形成する半導体装置の製造方法に係り、上記埋め込み配線を形成する際、まず、上記電気メッキ法により、上記絶縁膜上に上記金属配線材料の堆積層を薄く形成し、あるいは、上記電気メッキ法により、上記絶縁膜上に上記金属配線材料の堆積層を形成した後、エッチングバックして薄い堆積層とし、次に、上記金属シード層又は上記堆積層の露出表面における電流密度の高い部位に対する上記金属配線材料の付着を阻止又は抑制する抑制剤を含んだ第1のメッキ液を用いて、流れの向きが交互に時間変化する2方向電流を流す電気メッキを行うことで、上記金属配線材料の堆積層を、上記溝及びその周辺領域で凸状に盛り上がらせた後、上記堆積層を上記絶縁膜が露出するまで研磨除去することを特徴としている。

【0021】また、請求項10記載の発明は、基板上に形成した絶縁膜の配線予定部位に溝を設け、上記溝を含む絶縁膜の上に金属シード層を形成し、形成された該金属シード層を一方の電極とする電気メッキ法により、上記金属シード層の上に金属配線材料の堆積層を形成して上記溝を埋めた後、形成した上記金属配線材料の堆積層を再び上記絶縁膜が露出するまで研磨除去することで、上記溝内に埋め込み配線を形成する半導体装置の製造方

法に係り、上記埋め込み配線を形成する際、まず、上記電気メッキ法により、上記絶縁膜上に上記金属配線材料の堆積層を薄く形成し、あるいは、上記電気メッキ法により、上記絶縁膜上に上記金属配線材料の堆積層を形成した後、エッチングバックして薄い堆積層とし、次に、上記金属シード層又は上記堆積層の露出表面における電流密度の高い部位に対する上記金属配線材料の付着を阻止又は抑制する抑制剤を含まない第2のメッキ液を用いて、流れの向きが時間変化しない1方向電流を流す電気メッキを行うことで、上記金属配線材料の堆積層を、上記溝及びその周辺領域で凸状に盛り上がらせた後、上記堆積層を上記絶縁膜が露出するまで研磨除去することを特徴としている。

【0022】また、請求項11記載の発明は、請求項1乃至10のいずれか1に記載の半導体装置の製造方法に係り、上記電気メッキ法は、上記メッキ液を上記基板上に形成された上記金属シード層に、噴流状態に吹き付ける噴流メッキ法であることを特徴としている。

【0023】

【発明の実施の形態】以下、図面を参照して、この発明の実施の形態について説明する。説明は実施例を用いて具体的にを行う。

◇第1実施例

図1及び図2は、この発明の第1実施例である半導体装置の製造方法を説明する工程順断面図、また、図3は、同実施例の作用を説明するための図で、噴流メッキ時における電流の時間波形を示す波形図である。この例の半導体装置の製造方法の、従来例のそれ（図9及び図10参照）と大きく異なるところは、銅メッキ層37a、37bの堆積にあたり、図3に示すように、溝14-1～14-n内が埋め込まれるまでは、一方向の極性の直流電流（流れの向きが時間変化しない1方向電流）を流すことにより表面が略平坦な銅メッキ層を形成し、溝14-1～14-n内が埋め込まれてからは、順、逆と交互に極性の变化する直流パルス電流（流れの向きが交互に時間変化する2方向電流）を流して噴流メッキを行い、図2（d）に示すように、銅メッキ層37aを、溝14-1～14-n及びその周辺領域にそれ以外の領域に比較して凸状に盛り上げ堆積するようにしている点である。なお、従来法の構成各部と同一の構成部分には同一の符号を付してその説明を省略する。

【0024】この例の半導体装置の製造方法を実施するには、まず、図1（a）に示すように、シリコン基板11の上に層間絶縁膜12を形成し、その上の全域にフォトリソスト13を塗布してレジストパターンを形成し、次に層間絶縁膜12の配線予定部位に、溝14-1～14-nを形成する。この後、同図（b）に示すように、フォトリソスト13を除去し、バリア層15を溝14-1～14-n内の側面と底面及び層間絶縁膜12上の全域に被着し、バリア層15上の全域に銅シード層16を

形成する。ここまでは、上述した従来の製造方法と略同様である。

【0025】次に、銅シード層16の形成を終えたシリコン基板11を、図11に示す噴流メッキ装置21の固定板25の下面25aに固定し、この固定板25をメッキ液22の液面から僅か上方の所定の位置に水平に配置し、噴流カップ24を一方の電極とし、また、シリコン基板11（銅シード層16）を他方の電極として、この電極間に所定の電圧を印加して電流を流し、図示していないポンプを作動させて噴出管26よりメッキ液22を噴出させ矢印のようにシリコン基板11の表面に吹き付け、銅シード層16の上に銅メッキ層37aを堆積させる。所定時間経過後、メッキ液22の噴出を停止し液面を下げ、固定板25をメッキ槽23から取り出しシリコン基板11を固定板25から外す。

【0026】この例では、銅メッキ層の堆積は、金属シード層16や銅メッキ層17の露出表面における電流密度の高い箇所に吸着し、この部位に対する銅の付着を阻止又は抑制する抑制剤入りのメッキ液（第1のメッキ液）を用いた噴流メッキ法により行う。この場合、抑制剤が入っていることで自動的に電流密度の高い箇所でのメッキ速度が遅くなるようになっている。したがって、一方向の極性の直流電流を流すことにより表面が略平坦な銅メッキ層の形成ができる。すなわち、図3に示すように、溝14-1～14-n内が埋め込まれるまでの前工程においては、一方向の極性の負の直流電流を流して噴流メッキを行う。これにより、図1(c)に示すように、層間絶縁膜12上に、溝14-1～14-n内を埋め込むと共に表面が略平坦な銅メッキ層37aが堆積される。ここでは、略平坦な銅メッキ層を堆積させるために、一方向の極性の負の直流電流を流しているが、抑制剤の働きが充分でないために、溝内の埋め込み層にボイドが発生する虞がある場合には、ボイドの発生をなくすために、電流を一旦停止し、この後、上記負の直流電流とは逆向きのパルス状電流を流す等の方法により、溝（孔）の開口部の角をなくしボイドの原因となる開口部でのピンチオフの発生を防止できる。このとき、溝（孔）部では、銅の堆積速度が、底部よりも開口部の方が早くなり、この結果、銅の堆積形状が、（低部よりも開口部で狭くなるという）断面逆テーパ形状とならないようにすることが必要である。

【0027】この後、メッキ電流パターンを切り替えて噴流メッキを続ける。すなわち、図3に示すように、溝14-1～14-n内が埋め込まれてからの後工程においては、順方向、逆方向と交互に極性の变化する直流パルス電流を流して噴流メッキを行う。ここで、正のパルス電流は、電流密度の高い箇所に吸着する添加剤分子を除去するための逆バイアス電流であり、この正のパルス電流を流すことで電流密度の高い箇所により多く銅メッキ層が堆積する。したがって、図1(c)に示すような

形状で銅メッキ層37aが堆積された後は、溝14-1～14-n部での銅の膜厚が層間絶縁膜12上の銅の膜厚に較べて厚くなり、相対的に抵抗が下がるので電流量が多くなり、この溝14-1～14-n上部で銅の堆積量が多くなる。これにより、図2(d)に示すように、溝14-1～14-n及びその周辺領域でそれ以外の領域に比較して凸状に盛り上がった形状の銅メッキ層37bが堆積される。すなわち、この後に行われるCMP法による平坦化処理の際に、層間絶縁膜に比較して研磨レートが高く設定される銅が、その面積比率が高くなる部分により厚く形成される。

【0028】次に、図2(e)に示すように、CMP法を用いて層間絶縁膜12が露出するまで銅メッキ層37bが堆積されたシリコン基板11の表面を研磨し、溝14-1～14-n内部にのみ銅メッキ層37を残して埋め込み配線38を形成する。エロージョンは発生していない。なお、この例は、配線密度の高い場合であるが、幅広の配線パターンの埋め込み配線が形成される場合も同様となり、ディッシングが発生することはない。

【0029】したがって、この例の構成によれば、層間絶縁膜の配線予定部位に溝を設け、溝に銅メッキ層を埋め込むと共に層間絶縁膜上に堆積し、その表面に平坦化処理を施して埋め込み配線を形成する際に、エロージョンやディッシングの発生を抑制することができ、配線設計の自由度を高めることができる。ここで、図3に示した順、逆と交互に極性の变化する直流パルス電流の周期 t_1 、 t_2 は、略10秒以内に設定される。これは、略10秒を超えると添加剤分子が電流密度の高い箇所に吸着したり除去されたりする際に銅メッキ層の形状が変わってしまう虞があるからである。また、負のパルス電流のピーク値 I_2 は $0.8 \sim 1.2 \text{ A/dm}^2$ に、負の直流電流値 I_1 及び正のパルス電流のピーク値 I_3 は、 I_2 の略 $1/2$ に設定される。なお、この例の変形例として、ボイドが発生しないように、メッキを中断し、銅の堆積形状が、（低部よりも開口部で狭くなるという）断面逆テーパ形状とならないように、電流パルスを変化させても良い。

【0030】◇第2実施例

図4は、この例の作用を説明するための図で、噴流メッキ時における電流の時間波形を示す波形図である。この例の半導体装置の製造方法の、第1実施例のそれ（図1、2及び図3参照）と大きく異なるところは、溝14-1～14-n内が埋め込まれるまでに流すメッキ電流パターンが違う点である。すなわち、溝14-1～14-n内が埋め込まれるまでの前工程においては、図4に示すように、一方向の極性の負の直流パルス電流（流れの向きが時間変化しない1方向電流）を流して噴流メッキを行う。これにより、図1(c)に示すように、層間絶縁膜12上に、溝14-1～14-n内を埋め込むと共に表面が略平坦な銅メッキ層37aが堆積される。

【0031】この後、メッキ電流パターンを切り替えて噴流メッキを続ける。すなわち、溝14-1～14-n内が埋め込まれてからの後工程においては、図4に示すように、順、逆と交互に極性の变化する直流パルス電流を流して噴流メッキを行う。これにより、図2(d)に示すように、溝14-1～14-n及びその周辺領域でそれ以外の領域に比較して凸状に盛り上がった形状の銅メッキ層37bが堆積される。したがって、この例の構成によれば、第1実施例において上述したと略同様の効果を得ることができる。ここで、図4に示した負の直流パルス電流の周期 t_3 は、略10秒以内に設定され、負の直流パルス電流のピーク値 I_2 は、負のパルス電流のピーク値 I_1 よりやや低めに設定される。

【0032】◇第3実施例

図5は、この例の作用を説明するための図で、噴流メッキ時における電流の時間波形を示す波形図である。この例の半導体装置の製造方法の、第1実施例のそれ(図1、2及び図3)と大きく異なるところは、上記抑制剤が添加されていないメッキ液(第2のメッキ液)を用いて噴流メッキを行い銅メッキ層の堆積を行う点である。これによりメッキ電流パターンの切り替え順も異なってくる。この例でのメッキ液22には、抑制剤が入っていないので、電流密度の高い箇所でのメッキ速度が速い。この場合、既述したが、一方向の極性の直流電流を流したのでは膜厚が不均一になり、ボイドの発生によりエレクトロマイグレーション寿命の低下という不都合が発生する。これを防ぐため、順、逆と交互に極性の变化する直流パルス電流を流して表面が平坦な銅メッキ層を堆積する。ここで、正のパルス電流は、電流密度の高い箇所に堆積した余分な銅を除去するための逆バイアス電流である。

【0033】すなわち、溝14-1～14-n内が埋め込まれるまでの前工程においては、図5に示すように、順、逆と交互に極性の变化する直流パルス電流を流して噴流メッキを行う。これにより、図1(c)に示すように、層間絶縁膜12上に、溝14-1～14-n内を埋め込むと共に表面が略平坦な銅メッキ層37aが堆積される。なお、順方向、逆方向と交互に極性の变化する直流パルス電流のパターンは、ボイドの発生を防止する観点から、適宜変更しても良い。

【0034】この後、メッキ電流パターンを切り替えて噴流メッキを続ける。すなわち、溝14-1～14-n内が埋め込まれてからの後工程においては、図5に示すように、一方向の極性の負の直流電流を流して噴流メッキを行う。メッキ液22には、抑制剤が入っていないので、電流密度の高い箇所より多く銅メッキ層が盛り上がり堆積する。したがって、図1(c)に示すような形状で銅メッキ層37aが堆積された後は、溝14-1～14-n部での銅の膜厚が層間絶縁膜12上部のそれに較べて厚くなり、相対的に抵抗が下がるので電流量が多

くなり、この溝14-1～14-n上部で銅の堆積量が多くなる。これにより、図2(d)に示すように、溝14-1～14-n及びその周辺領域でそれ以外の領域に比較して凸状に盛り上がった形状の銅メッキ層37bが堆積される。

【0035】したがって、この例の構成によれば、第1実施例において上述したと略同様の効果を得ることができる。ここで、図5における、順、逆と交互に極性の变化する直流パルス電流の周期 t_4 、 t_5 は、略10秒以内に設定される。これは、10秒を超えると電流密度の高い箇所に堆積した余分な銅が電流密度の高い箇所に堆積したり除去されたりする際に銅メッキ層の形状が変わってしまう虞があるからである。

【0036】◇第4実施例

図6は、この例の作用を説明するための図で、噴流メッキ時における電流の時間波形を示す波形図である。この例の半導体装置の製造方法が、第3実施例のそれと大きく異なるところは、溝14-1～14-n内が埋め込まれてから流すメッキ電流パターンが違う点である。すなわち、溝14-1～14-n内が埋め込まれるまでの前工程においては、図6に示すように、順、逆と交互に極性の变化する直流パルス電流を流して噴流メッキを行う。これにより、図1(c)に示すように、層間絶縁膜12上に、溝14-1～14-n内を埋め込むと共に表面が略平坦な銅メッキ層37aが堆積される。

【0037】この後、メッキ電流パターンを切り替えて噴流メッキを続ける。すなわち、溝14-1～14-n内が埋め込まれてからの後工程においては、図6に示すように、一方向の極性の負の直流パルス電流を流して噴流メッキを行う。これにより、図2(d)に示すように、溝14-1～14-n及びその周辺領域でそれ以外の領域に比較して凸状に盛り上がった形状の銅メッキ層37bが堆積される。したがって、この例の構成によれば、第1実施例において上述したと略同様の効果を得ることができる。

【0038】◇第5実施例

この例の半導体装置の製造方法の、第1実施例のそれ(図1、2及び図3)と大きく異なるところは、第1実施例ではメッキ液の種類を一定としておきメッキ電流パターンを切り替えて銅メッキ層の盛り上げ堆積を行っていたのに対し、この例ではメッキ電流パターンを一定としておきメッキ液の種類を変えて銅メッキ層の盛り上げ堆積を行うという点である。すなわち、常に、一方向の極性の負の直流電流又は負の直流パルス電流を流しておく(図3又は図4に示す溝が埋め込まれるまでの電流パターンである)。そして、溝14-1～14-n内が埋め込まれるまでの前工程においては、抑制剤入りのメッキ液22を用いて噴流メッキを行う。この場合、メッキ液22は抑制剤が入っているため自動的に電流密度の高い箇所でメッキ速度が遅くなる。これにより、図1

(c)に示すように、層間絶縁膜12上に、溝14-1~14-n内を埋め込むと共に表面が略平坦な銅メッキ層37aが堆積される。

【0039】この後、溝14-1~14-n内が埋め込まれてからの後工程においては、メッキ液22を抑制剤の入っていない液に切り替えて噴流メッキを続ける。このとき、メッキ電流パターンは、上記のように、一方向の極性の負の直流電流又は負の直流パルス電流であるから、電流密度の高い箇所により多く銅メッキ層が盛り上がり堆積する。したがって、図1(c)に示すような形状で銅メッキ層37aが堆積された後は、溝14-1~14-n部での銅の膜厚が層間絶縁膜12上のそれに較べて厚くなり、相対的に抵抗が下がるので電流量が多くなり、この溝14-1~14-n上部で銅の堆積量が多くなる。これにより、図2(d)に示すように、溝14-1~14-n及びその周辺領域でそれ以外の領域に比較して凸状に盛り上がった形状の銅メッキ層37bが堆積される。したがって、この例の構成によれば、第1実施例において上述したと略同様の効果を得ることができる。

【0040】◇第6実施例

この例の半導体装置の製造方法は、第5実施例のそれと同様に、メッキ電流パターンを一定としておきメッキ液の種類を変えて銅メッキ層の堆積を行うが、メッキ電流パターンが異なっている。すなわち、常に、順、逆と交互に極性の変化する直流パルス電流を流しておく(図5又は図6に示す溝が埋め込まれるまでの電流パターンである)。そして、溝14-1~14-n内が埋め込まれるまでの前工程においては、抑制剤の入っていないメッキ液を用いて噴流メッキを行う。この場合、正のパルス電流は、電流密度の高い箇所に堆積した余分な銅を除去するための逆バイアス電流である。これにより、図1(c)に示すように、層間絶縁膜12上に、溝14-1~14-n内を埋め込むと共に表面が略平坦な銅メッキ層37aが堆積される。

【0041】この後、溝14-1~14-nが埋め込まれてからの後工程においては、メッキ液22を抑制剤入りの液に切り替えて噴流メッキを続ける。ここで、正のパルス電流は、電流密度の高い箇所に吸着する添加剤分子を除去するための逆バイアス電流であり、この正のパルス電流を流すことで、電流密度の高い箇所により多く銅メッキ層が堆積する。したがって、図1(c)に示すような形状で銅メッキ層37aが堆積された後は、溝14-1~14-n部での銅の膜厚が層間絶縁膜12上のそれに較べて厚くなり、相対的に抵抗が下がるので電流量が多くなり、この溝14-1~14-n上部で銅の堆積量が多くなる。これにより、図2(d)に示すように、溝14-1~14-n及びその周辺領域でそれ以外の領域に比較して凸状に盛り上がった形状の銅メッキ層37bが堆積される。したがって、この例の構成によれ

ば、第1実施例において上述したと略同様の効果を得ることができる。

【0042】◇第7実施例

図7は、この発明の第7実施例に係る銅メッキ層堆積を説明する工程順断面図である。この例の半導体装置の製造方法の、第1実施例のそれ(図1、2及び図3)と大きく異なるところは、溝及びその周辺領域以外の層間絶縁膜上に銅メッキ層が堆積されないような堆積阻止層を形成し、溝及びその周辺領域のみに銅メッキ層を堆積するようにした点である。この例の半導体装置の製造方法を実施するには、シリコン基板11の上に層間絶縁膜12を形成し、その上の全域にフォトリソグレイス13を塗布してレジストパターンを形成し、次に層間絶縁膜12に溝14-1~14-nを形成し、フォトリソグレイス13を除去し、バリア層15を被着しその上の全域に銅シード層16を形成する。ここまでは、上述した第1実施例の製造方法と略同様である。

【0043】次に 図7(a)に示すように、銅シード層16が形成されたシリコン基板11の表面にフォトリソグレイス43を塗布し、フォトリソグラフィ技術を用いて露光、現像し、溝14-1~14-n及びその周辺領域の部分が除去されたレジストパターンを形成する。次に、図11に示す噴流メッキ装置21を用い、銅シード層16を一方の電極として、上記レジストパターンが形成されたシリコン基板11上に噴流メッキを施す。この後、フォトリソグレイス43を除去して、溝14-1~14-n及びその周辺領域で凸状に盛り上がった形状の銅メッキ層47が堆積され構造を形成する(図7(b)参照)。次に、図2(e)に示す工程のように、CMP法を用いて層間絶縁膜が露出するまで銅メッキ層が堆積されたシリコン基板表面を研磨し、溝内部にのみ銅メッキ層を残して埋め込み配線を形成する。したがって、この例の構成によれば、第1実施例において上述したと略同様の効果を得ることができる。

【0044】◇第8実施例

図8は、この発明の第8実施例に係る銅メッキ層堆積を説明する工程順断面図である。この例の半導体装置の製造方法の、第1実施例のそれ(図1、2及び図3)と大きく異なるところは、層間絶縁膜上に、溝内を埋め込むと共に表面が略平坦な銅メッキ層を堆積した後、溝及びその周辺領域の銅メッキ層を覆ってマスクを形成し、溝及びその周辺領域以外に堆積された銅メッキ層を薄くすることによって、溝及びその周辺領域で凸状に盛り上がった形状の銅メッキ層が堆積され構造を形成する点である。

【0045】この例の半導体装置の製造方法を実施するには、シリコン基板11の上に層間絶縁膜12を形成し、その上の全域にフォトリソグレイス13を塗布してレジストパターンを形成し、次に層間絶縁膜12の配線予定部位に、溝14-1~14-nを形成する。この後、フ

フォトレジスト13を除去し、バリア層15を溝14-1～14-n内の側面と底面及び層間絶縁膜12上の全域に被着し、バリア層15上の全域に銅シード層16を形成する。次に、この銅シード層16を電極とする噴流メッキ法により、溝14-1～14-n内を埋め込むと共に層間絶縁膜12上の広い範囲に亘って表面が略平坦な銅メッキ層17を堆積する。ここまでは、上述した従来の製造方法と略同様である。次に、図8(a)に示すように、表面が略平坦な銅メッキ層17が堆積されたシリコン基板11の表面にフォトレジスト53を塗布し、フォトリソグラフィ技術を用い露光、現像し、溝14-1～14-n及びその周辺領域部以外のフォトレジスト53を除去し、溝14-1～14-n及びその周辺領域にのみレジストが残置されたレジストパターンを形成する。

【0046】次に、上記レジストパターンをマスクとして銅メッキ層17の露出部分をエッチングして薄くし、この後フォトレジスト53を除去して溝14-1～14-n及びその周辺領域で凸状に盛り上がった形状の銅メッキ層17が堆積され構造を形成する(同図(b)参照)。次に、図2(e)に示す工程のように、CMP法を用いて層間絶縁膜が露出するまで銅メッキ層が堆積されたシリコン基板表面を研磨し、溝内部にのみ銅メッキ層を残して埋め込み配線を形成する。したがって、この例の構成によれば、第1実施例において上述したと略同様の効果を得ることができる。なお、溝及びその周辺領域以外に堆積され露出している銅メッキ層を薄くすることは、上記のエッチング以外の方法によって行っても良い。

【0047】◇第9実施例

この例の半導体装置の製造方法が、第1実施例のそれ(図1、2及び図3)と大きく異なるところは、層間絶縁膜上に、溝内を埋め込むと共に表面が略平坦な銅メッキ層を堆積した後、銅メッキ層の全域をエッチングバックして膜厚を薄くし、この後、電流密度の高い箇所でのメッキ速度が速くなるような条件で噴流メッキを行い、溝及びその周辺領域で凸状に盛り上がった形状の銅メッキ層が堆積され構造を形成する点である。この例の半導体装置の製造方法を実施するには、特に図示してはいないが、シリコン基板の上に層間絶縁膜を形成し、次に層間絶縁膜に溝を形成する。この後、バリア層を溝内の側面と底面及び層間絶縁膜上の全域に被着しその上の全域に銅シード層を形成する。次に、この銅シード層を電極とする噴流メッキ法により、溝内を埋め込むと共に層間絶縁膜上に表面が略平坦な銅メッキ層を堆積する。ここまでは、上述した従来の製造方法と略同様である。

【0048】この後、銅メッキ層の全域をエッチングバックして膜厚を薄くする。次に、抑制剤入りのメッキ液を用い、順、逆と交互に極性の変化する直流パルス電流(図3又は図4に示す溝が埋め込まれてからの電流パ

ーンである)を流して噴流メッキを行うか、もしくは抑制剤の入っていないメッキ液を用い、一方向の極性の負の直流電流もしくは負の直流パルス電流(図5又は図6に示す溝が埋め込まれてからの電流パターンである)を流して噴流メッキを行う。このメッキ液と電流パターンの組み合わせでは、表面が略平坦な銅メッキ層が堆積された後は、層間絶縁膜上に較べて銅の膜厚が厚い溝及びその周辺領域で電流量が多くなり、この部分に凸状に盛り上がった形状の銅メッキ層が形成される。次に、図2(e)に示す工程のように、CMP法を用いて層間絶縁膜が露出するまで銅メッキ層が堆積されたシリコン基板表面を研磨し、溝内部にのみ銅メッキ層を残して埋め込み配線を形成する。したがって、この例の構成によれば、第1実施例において上述したと略同様の効果を得ることができる。

【0049】◇第10実施例

この例の半導体装置の製造方法が、第9実施例のそれと大きく異なるところは、第9実施例では、層間絶縁膜上に、溝内を埋め込むと共に表面が略平坦な銅メッキ層を堆積した後、銅メッキ層の全域をエッチングバックして膜厚を薄くしているが、この例では、層間絶縁膜上に、溝内を埋め込むと共に表面が略平坦な銅メッキ層を薄く堆積している点である。すなわち、この例では、層間絶縁膜上に銅メッキ層を薄く堆積するから、第9実施例で行われたエッチングバックして銅メッキ層の膜厚を薄くする処理が不要になる。これ以外は、第9実施例と同様であるので、繰り返して説明はしない。したがって、この例の構成によれば、第1実施例において上述したと略同様の効果を得ることができる。

【0050】以上、この発明の実施例を図面により詳述してきたが、具体的な構成はこの実施例に限られるものではなく、この発明の要旨を逸脱しない範囲の設計の変更等があってもこの発明に含まれる。例えば、溝の深さ、幅、間隔等は上述した例に限定されない。また、上述した例において、略平坦な銅メッキ層を堆積させるまでに流す電流パターンは一定である必要はなく、ボイドの発生を防止するため電流パターンを変更できる。このとき、電流パターンの変更によって、銅の堆積層の形状が(溝の開口部でその底部よりも広い)順テーパ形状に保つことが重要である。また、上述した例では、銅メッキ層の堆積は、噴流メッキ法によって行っていたが、この方法以外の電気メッキ法、例えば浸漬式メッキ法によって行っても良い。この場合、埋め込み配線の金属材料としては、上述した銅以外に、メッキできる金属、例えば金、銀、アルミニウム等も使用できる。また、上述した例では、溝及びその周辺領域以外の層間絶縁膜上に銅メッキ層が堆積されないような堆積阻止層としてフォトレジストパターンを用いているが、これ以外のものを用いても良い。さらに、層間絶縁膜上に表面が略平坦な銅メッキ層を堆積した後、銅メッキ層の全域をエッチング

バックして膜厚を薄くする方法は、上述したエッチング以外の方法によって行っても良い。さらにまた、溝に銅メッキ層が埋め込まれた後の層間絶縁膜の表面の平坦化は、上記CMP法のみによることなく、これ以外の方法によって平坦化しても良い。

【0051】

【発明の効果】以上説明したように、この発明の半導体装置の製造方法によれば、絶縁膜の配線予定部位に溝を設け、溝に金属配線材料を埋め込むと共に絶縁膜上に堆積し、その表面に平坦化処理を施して埋め込み配線を形成する際に、エロージョンやディッシングの発生を抑制することができるので、配線設計の自由度を高めることができる。

【図面の簡単な説明】

【図1】この発明の第1実施例である半導体装置の製造方法を説明する工程順断面図である。

【図2】同製造方法を説明する工程順断面図である。

【図3】同実施例の作用を説明するための図で、噴流メッキ時における電流の時間波形を示す波形図である。

【図4】この発明の第2実施例の作用を説明するための図で、噴流メッキ時における電流の時間波形を示す波形図である。

【図5】この発明の第3実施例の作用を説明するための図で、噴流メッキ時における電流の時間波形を示す波形図である。

【図6】この発明の第4実施例の作用を説明するための図で、噴流メッキ時における電流の時間波形を示す波形図である。

【図7】この発明の第7実施例である半導体装置の製造方法に係る銅メッキ層堆積法を説明する工程順断面図である。

【図8】この発明の第8実施例である半導体装置の製造

方法に係る銅メッキ層堆積法を説明する工程順断面図である。

【図9】従来の半導体装置の製造方法を説明する工程順断面図である。

【図10】同製造方法を説明する工程順断面図である。

【図11】噴流メッキ装置の一例を示す概略構成図である。

【図12】従来の半導体装置の製造方法の作用を説明するための図で、噴流メッキ時における電流の時間波形を示す波形図である。

【図13】従来の半導体装置の製造方法の作用を説明するための図で、噴流メッキ時における電流の時間波形を示す波形図である。

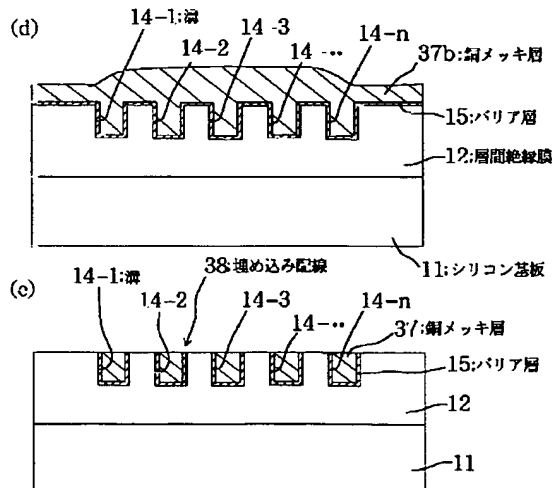
【図14】従来の半導体装置の製造方法に係る銅メッキ層堆積において、電流密度の高い箇所でのボイドの発生を示す図である。

【図15】従来の半導体装置の製造方法におけるディッシングの発生を説明する断面図である。

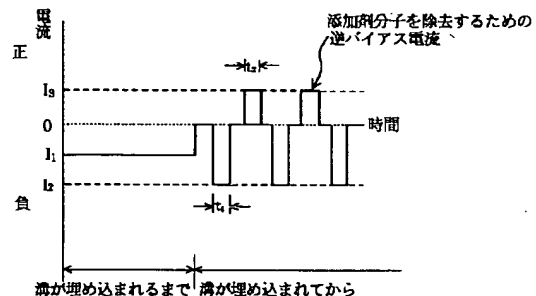
【符号の説明】

- 11 シリコン基板（基板）
- 12 層間絶縁膜（絶縁膜）
- 14-1、14-2、14-3、…、14-n 溝
- 16 銅シード層（金属シード層）
- 17 銅メッキ層（金属配線材料の堆積層）
- 21 噴流メッキ装置
- 22 メッキ液
- 37、37a、37b 銅メッキ層（金属配線材料の堆積層）
- 38 埋め込み配線
- 43 フォトリソグ（堆積阻止層）
- 47 銅メッキ層（金属配線材料の堆積層）
- 53 フォトリソグ（マスク層）

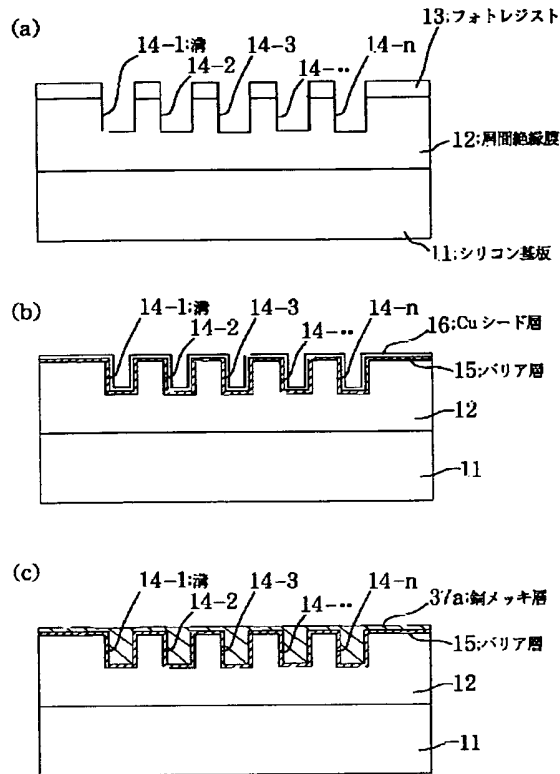
【図2】



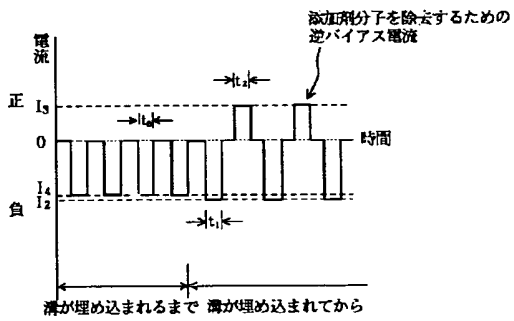
【図3】



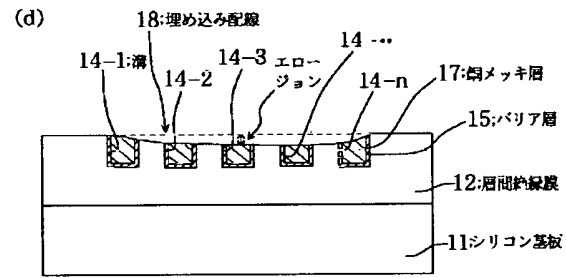
【図1】



【図4】

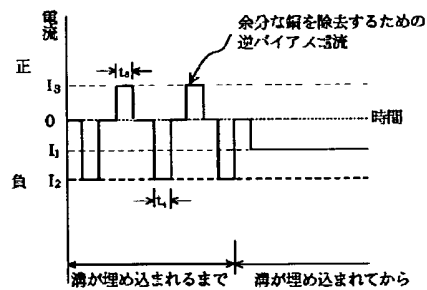


【図10】

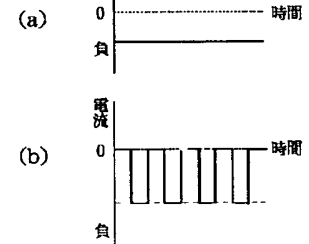
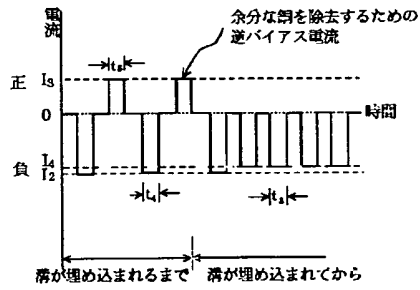


【図12】

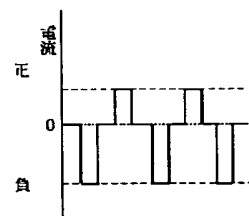
【図5】



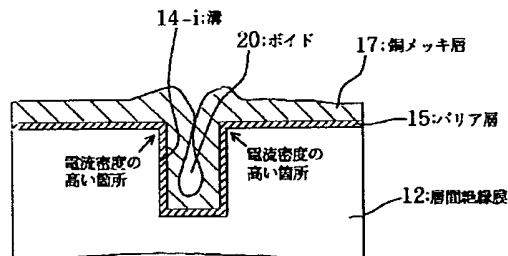
【図6】



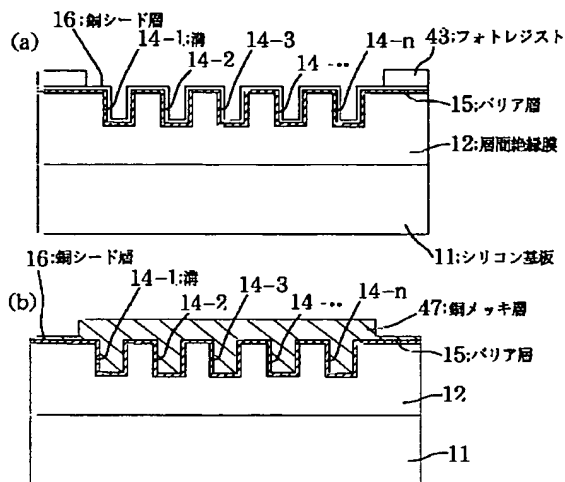
【図13】



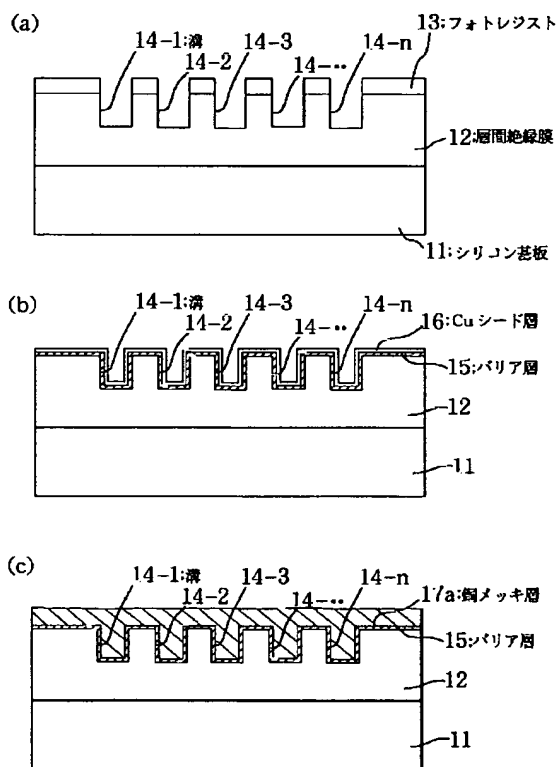
【図14】



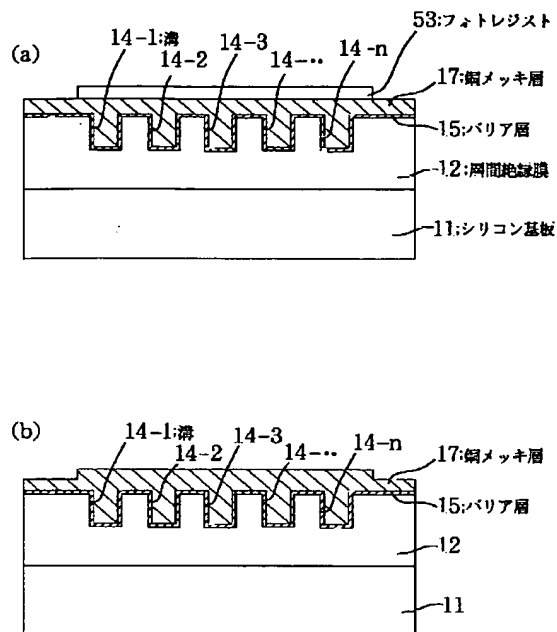
【図7】



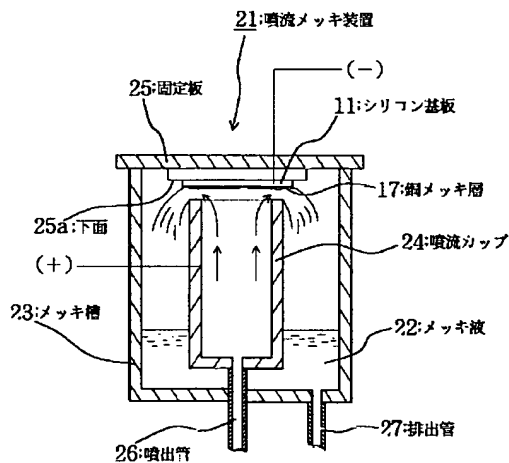
【図9】



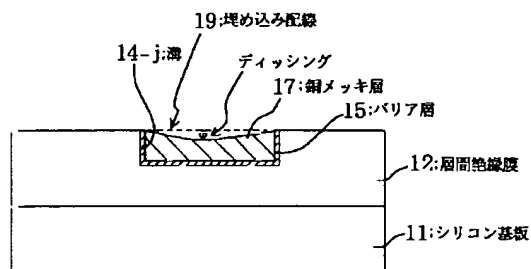
【図8】



【図11】



【図15】



This page blank (uspo)